

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月30日

出 願 番 号

Application Number:

特願2002-221233

[ST.10/C]:

[JP2002-221233]

出 願 人

Applicant(s):

株式会社日立製作所

U.S. Appln. Filed 7-14-03  
Inventor: T. Habuka et al  
Mattingly Stanger & Malur  
Docket H-1103

2003年 2月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3011594

【書類名】 特許願

【整理番号】 H02009601

【提出日】 平成14年 7月30日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 1/38

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 羽深 敏人

【発明者】

【住所又は居所】 神奈川県横浜市戸塚区吉田町292番地 株式会社日立  
製作所 デジタルメディア開発本部内

【氏名】 野田 正樹

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 野上 博志

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 堀 仁一

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 松浦 達治

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立  
製作所 半導体グループ内

【氏名】 堀 和明

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
製作所 半導体グループ内

【氏名】 井之川 直人

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置、無線LANシステム、および自動ゲイン制御システム

【特許請求の範囲】

【請求項1】 無線データが通信可能な通信機器にベースバンド処理用半導体集積回路装置とともに搭載される高周波処理用の半導体集積回路装置であって、無線データ通信における受信信号の信号レベルを測定し、ゲイン制御に用いられる第1の信号レベル測定信号を出力する第1測定回路を備えたことを特徴とする半導体集積回路装置。

【請求項2】 請求項1記載の半導体集積回路装置において、前記第1測定回路から出力される第1の信号レベル測定信号が、対数圧縮された信号であることを特徴とする半導体集積回路装置。

【請求項3】 請求項1または2記載の半導体集積回路装置において、ベースバンド信号に変換されたアナログ信号のI信号、およびQ信号を加算処理する加算処理部を備え、

前記第1測定回路は、前記加算処理部が加算処理した信号を測定することを特徴とする半導体集積回路装置。

【請求項4】 請求項1または2記載の半導体集積回路装置において、ベースバンド信号に変換されたアナログ信号のI信号、およびQ信号のそれぞれを二乗し、それら二乗したI信号とQ信号とを加算処理する加算処理部を備え、

前記第1測定回路は、前記加算処理部が加算処理した信号を測定することを特徴とする半導体集積回路装置。

【請求項5】 請求項1または2記載の半導体集積回路装置において、ベースバンド信号に変換されたアナログ信号のI信号、およびQ信号の絶対値をそれぞれとり、それら絶対値のI信号とQ信号とを加算処理する加算処理部を備え、

前記第1測定回路は、前記加算処理部が加算処理した信号を測定することを特徴とする半導体集積回路装置。

【請求項 6】 無線データ通信における受信信号の信号レベルを測定し、ゲイン制御に用いられる第 1 の信号レベル測定信号を出力する第 1 測定回路と、

前記第 1 測定回路の測定結果に基づいて受信信号の有無を判断し、受信信号が検出されない場合には少なくとも 2 本のアンテナをある時間毎に切り換え、受信信号を検出した際には切り換え動作を停止し、受信した前記アンテナを接続固定するアンテナ切り換え信号を生成する制御回路と、

前記制御回路のアンテナ切り換え信号に基づいて、前記少なくとも 2 本のアンテナにおける切り換えを制御するアンテナスイッチとを備えたことを特徴とする無線 LAN システム。

【請求項 7】 無線データ通信における受信信号の信号レベルを測定し、粗ゲイン制御に用いられる第 1 の信号レベル測定信号を出力する第 1 測定回路と、

入力された I 信号、および Q 信号の信号レベルを測定し、密ゲイン制御に用いられる第 2 の信号レベル測定信号を出力する第 2 測定回路と、

前記第 1、および第 2 測定回路が測定した第 1、ならびに第 2 の信号レベル測定信号に基づいて、ゲイン設定値を生成する制御回路と、

前記制御回路から出力されたゲイン設定値に基づいて、第 1、および第 2 のゲイン設定データを生成するゲイン制御回路と、

前記ゲイン制御回路から出力された第 1、および第 2 のゲイン設定データに応じて I 信号、Q 信号を増幅するプログラマブルゲインアンプとを備えたことを特徴とする無線 LAN システム。

【請求項 8】 請求項 6 または 7 記載の無線 LAN システムにおいて、前記制御回路から前記ゲイン制御回路に出力されるゲイン設定値が、時分割データであることを特徴とする無線 LAN システム。

【請求項 9】 請求項 6 ～ 8 のいずれか 1 項に記載の無線 LAN システムにおいて、

送信回路調整コマンドに基づいて、テスト信号を発生するテスト信号発生部（ゲイン制御回路）と、

前記テスト信号発生部から出力されたテスト信号に基づいて送信ベースバンドアンプの出力レベルを測定し、前記送信ベースバンドアンプの出力レベルが予め

定められた範囲内に入るように調整する調整回路とを備えたことを特徴とする無線 LAN システム。

【請求項 1 0】 無線データ通信における受信信号の信号レベルを測定する測定回路と、

前記測定回路が測定した信号レベルから、プログラマブルゲインアンプのゲインを算出し、ゲイン設定データとして出力するゲイン制御部と、

前記ゲイン制御部から出力されるゲイン設定データに基づいて I 信号、Q 信号を増幅するゲインを制御するプログラマブルゲインアンプとを備えたことを特徴とする自動ゲイン制御システム。

【請求項 1 1】 無線データ通信における受信信号の信号レベルを測定する複数の測定回路と、

前記複数の測定回路が測定した信号レベルに応じたゲイン設定データをそれぞれ出力するゲイン制御部と、

前記ゲイン制御部から出力される各々のゲイン設定データ毎に、I 信号、Q 信号を増幅するゲインが制御されるプログラマブルゲインアンプとを備え、

前記複数の測定回路は、測定精度がそれぞれ異なり、

前記プログラマブルゲインアンプは、前記複数のゲイン設定データのうち、測定精度の低い信号レベルによって算出したゲイン設定データから測定精度の高い信号レベルにより算出したゲイン設定データを順番に用いてゲイン制御を行うことを特徴とする自動ゲイン制御システム。

【請求項 1 2】 無線データ通信における受信信号の信号レベルを測定し、対数圧縮された粗ゲイン制御に用いられる第 1 の信号レベル測定信号を出力する第 1 測定回路と、

入力された I 信号、および Q 信号の信号レベルをリニアスケールで測定し、密ゲイン制御に用いられる第 2 の信号レベル測定信号を出力する第 2 測定回路と、

前記第 1、および第 2 測定回路が測定した第 1、ならびに第 2 の信号レベル測定信号に基づいて、ゲイン設定値を生成する制御回路と、

前記制御回路から出力されたゲイン設定値に基づいて、第 1、および第 2 のゲイン設定データを生成し、ゲイン制御を行うゲイン制御回路と、

前記ゲイン制御回路から出力された第 1、および第 2 のゲイン設定データに応じて I 信号、Q 信号を増幅するプログラマブルゲインアンプとを備えたことを特徴とする自動ゲイン制御システム。

【請求項 1 3】 請求項 1 2 記載の自動ゲイン制御システムにおいて、

前記プログラマブルゲインアンプが、3 つのプログラマブルゲインアンプが直列接続された構成からなり、

前記前段の 2 つのプログラマブルゲインアンプは、前記ゲイン制御回路が、前記第 1 信号レベル測定信号から生成した第 1 のゲイン設定データに基づいて I 信号、Q 信号を増幅するゲインが設定され、

前記後段のプログラマブルゲインアンプは、前記ゲイン制御回路が、前記第 2 信号レベル測定信号から生成した第 2 のゲイン設定データに基づいて I 信号、Q 信号を増幅するゲインが設定されることを特徴とする自動ゲイン制御システム。

【請求項 1 4】 請求項 1 3 記載の自動ゲイン制御システムにおいて、

前記 3 つのプログラマブルゲインアンプは、DC オフセットをキャンセルする DC オフセットキャンセル部をそれぞれ設け、

前記制御回路は、前記 3 つのプログラマブルゲインアンプのゲイン切り換えの際に発生する DC オフセットをキャンセルする DC オフセットキャンセル信号を出力することを特徴とする自動ゲイン制御システム。

【請求項 1 5】 請求項 1 0 ～ 1 4 のいずれか 1 項に記載の自動ゲイン制御システムにおいて、前記ゲイン制御回路がプログラマブルゲインアンプに出力する第 1、および第 2 のゲイン設定データが、時分割データであることを特徴とする自動ゲイン制御システム。

【請求項 1 6】 請求項 1 2 ～ 1 5 のいずれか 1 項に記載の自動ゲイン制御システムにおいて、

前記第 1 測定回路の測定結果に基づいて受信信号有無を判断し、受信信号が検出されない場合には少なくとも 2 本のアンテナをある時間毎に切り換え、受信信号を検出した際には切り換え動作を停止し、受信した前記アンテナを接続固定する切り換え信号を生成する制御回路と、

前記制御回路のアンテナ切り換え信号に基づいて、前記少なくとも 2 本のアン

テナにおける切り換えを行うアンテナスイッチ部とを備えたことを特徴とする自動ゲイン制御システム。

【請求項 1 7】 請求項 1 2 ～ 1 6 のいずれか 1 項に記載の自動ゲイン制御システムにおいて、

前記アンテナが受信した受信信号を増幅する低雑音増幅器を備え、

前記低雑音増幅器は、前記ゲイン制御回路が第 1 の信号レベル測定信号に基づいてゲイン設定値から生成したゲイン切り換えデータにより、ゲインが制御されることを特徴とする自動ゲイン制御システム。

【請求項 1 8】 入力された I 信号、および Q 信号の信号レベルをリニアスケールで測定し、第 2 の信号レベル測定信号を出力する第 2 測定回路と、

前記第 2 測定回路が測定した第 2 の信号レベル測定信号に基づいて、ゲイン設定値を生成する制御回路と、

前記制御回路から出力されたゲイン設定値に基づいて、第 2 のゲイン設定データを生成するゲイン制御を行うゲイン制御回路と、

前記ゲイン制御回路から出力された第 2 のゲイン設定データに応じて I 信号、Q 信号を増幅するプログラマブルゲインアンプと、

スイッチ切り換え信号に基づいて出力先を切り換え、信号の送信時に送信ベースバンドアンプから出力される送信信号を前記プログラマブルゲインアンプに出力するバイパス用スイッチ部とを備え、

前記バイパススイッチ部を切り換えて送信信号を前記ゲインアンプに出力し、前記第 2 測定回路によって、前記プログラマブルゲインアンプから出力される I 信号、および Q 信号の特性誤差をそれぞれ測定し、前記プログラマブルゲインアンプのゲイン調整を行うことを特徴とする自動ゲイン制御システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、無線 LAN システムにおける信号の送受信技術に関し、特に、受信信号におけるオートゲインコントロールに適用して有効な技術に関するものである。



## 【 0 0 0 2 】

## 【従来の技術】

たとえば、無線 LAN (Local Area Network) システムにおいては、受信信号の強弱に伴って信号レベルの適正化を行うオートゲインコントロール処理が必要となっている。

## 【 0 0 0 3 】

IEEE 802. 11 a においては、受信時にパケット信号の先頭部分、すなわち  $8 \mu s$  のプリアンプル期間にオートゲインコントロール処理、および同期検出などを行うことが取り決められており、該ゲインコントロール処理は実質  $5 \mu s$  弱程度の時間で実行しなければならない。

## 【 0 0 0 4 】

本発明者が検討したところによれば、オートゲインコントロール処理では、RF (高周波) 処理用とベースバンド処理用との2つの半導体集積回路装置が用いられている。

## 【 0 0 0 5 】

RF 処理用の半導体集積回路装置では、受信した信号をベースバンドに変換する。ベースバンド処理用の半導体集積回路装置は、RF チップによって周波数変換された信号をデジタル信号に変換し、そのデジタル信号のレベルを測定してレベルコントロールを実行している。

## 【 0 0 0 6 】

また、RF 処理用の半導体集積回路装置が受信する信号レベルは  $-82 \text{ dBm}$   $\sim -30 \text{ dBm}$  であるが、ベースバンド処理用の半導体集積回路装置では  $\pm 2 \text{ dB}$  の範囲にレベルコントロールが必要であるので、デジタル信号が微弱レベルの場合には、該デジタル信号の相関処理 (auto Correlate) を行い、その信号を用いてレベルコントロールを実行している。

## 【 0 0 0 7 】

なお、この種の無線 LAN システムについて詳しく述べてある例としては、1998 年 8 月 1 日、株式会社アスキー発行、マルチメディア通信研究会 (編)、「標準 LAN 教科書 (下) 改訂三版」P 235  $\sim$  P 238 があり、この文献には

、 I E E E 8 0 2 . 1 1 における無線 L A N のアーキテクチャについてが記載されている。

【 0 0 0 8 】

【発明が解決しようとする課題】

ところが、上記のような無線 L A N システムにおけるオートゲインコントロール処理技術では、次のような問題点があることが本発明者により見い出された。

【 0 0 0 9 】

すなわち、前述したようにデジタル信号が微弱レベルの場合、該デジタル信号を相関処理して信号レベルを測定するという高度な技術が必要となるとともに、ベースバンド処理用の半導体集積回路装置に大きな負担をかけてしまうことになる。

【 0 0 1 0 】

たとえば、 R F 処理用の半導体集積回路装置のみを製造するメーカーにおいては、ベースバンド処理用の半導体集積回路装置にその技術を要求することになってしまい、競争力がなくなってしまうなどのデメリットが発生してしまうことになる。

【 0 0 1 1 】

本発明の目的は、オートゲインコントロール処理を短時間で、高精度に行うことのできる半導体集積回路装置、無線 L A N システム、および自動ゲイン制御システムを提供することにある。

【 0 0 1 2 】

また、本発明の他の目的は、ベースバンド処理部に負担をかけることなく、オートゲインコントロール処理を短時間で、かつ高精度に行うことのできる半導体集積回路装置、無線 L A N システム、および自動ゲイン制御システムを提供することにある。

【 0 0 1 3 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 4 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

1. 本発明は、無線データが通信可能な通信機器にベースバンド処理用半導体集積回路装置とともに搭載される高周波処理用の半導体集積回路装置であって、無線データ通信における受信信号の信号レベルを測定し、ゲイン制御に用いられる第1の信号レベル測定信号を出力する第1測定回路を備えたものである。

【0015】

また、本願のその他の発明の概要を簡単に示す。

2. 前記第1項において、第1測定回路から出力される第1の信号レベル測定信号が対数圧縮された信号よりなるものである。

3. 前記第1項または前記第2項において、ベースバンド信号に変換されたアナログ信号のI信号、およびQ信号を加算処理する加算処理部を備え、第1測定回路が加算処理した信号を測定するものである。

4. 前記第1項または前記第2項において、アナログ信号のI信号、およびQ信号のそれぞれを二乗し、それらを加算処理する加算処理部を備え、第1測定回路は、加算処理部が加算処理した信号を測定するものである。

5. 前記第1項または前記第2項において、アナログ信号のI信号、およびQ信号の絶対値をそれぞれとり、それらを加算処理する加算処理部を備え、第1測定回路は、加算処理部が加算処理した信号を測定するものである。

6. 無線データ通信における受信信号の信号レベルを測定し、ゲイン制御に用いられる第1の信号レベル測定信号を出力する第1測定回路と、該第1測定回路の測定結果に基づいて受信信号の有無を判断し、受信信号がない場合には少なくとも2本のアンテナをある時間毎に切り換え、受信信号を検出した際には切り換え動作を停止し、受信した前記アンテナを接続固定するアンテナ切り換え信号を生成する制御回路と、該制御回路のアンテナ切り換え信号に基づいて、該アンテナにおける切り換えを制御するアンテナスイッチとを備えたものである。

7. 無線データ通信における受信信号の信号レベルを測定し、粗ゲイン制御に用いられる第1の信号レベル測定信号を出力する第1測定回路と、入力されたI信

号、およびQ信号の信号レベルを測定し、密ゲイン制御に用いられる第2の信号レベル測定信号を出力する第2測定回路と、該第1、および第2測定回路が測定した第1、ならびに第2の信号レベル測定信号に基づいて、ゲイン設定値を生成する制御回路と、該制御回路から出力されたゲイン設定値に基づいて、第1、および第2のゲイン設定データを生成するゲイン制御回路と、該ゲイン制御回路から出力された第1、および第2のゲイン設定データに応じてI信号、Q信号を増幅するプログラマブルゲインアンプとを備えたものである。

8. 前記第6項または前記第7項において、制御回路から出力されるゲイン設定値が、時分割データよりなるものである。

9. 前記第6項～前記第8項のいずれかにおいて、送信回路調整コマンドに基づいて、テスト信号を発生するテスト信号発生部と、該テスト信号発生部から出力されたテスト信号に基づいて送信ベースバンドアンプの出力レベルを測定し、送信ベースバンドアンプの出力レベルが予め定められた範囲内に入るように調整する調整回路とを備えたものである。

10. 無線データ通信における受信信号の信号レベルを測定する測定回路と、該測定回路が測定した信号レベルから、プログラマブルゲインアンプのゲインを算出し、ゲイン設定データとして出力するゲイン制御部と、該ゲイン制御部から出力されるゲイン設定データに基づいてI信号、Q信号を増幅するゲインを制御するプログラマブルゲインアンプとを備えたものである。

11. 無線データ通信における受信信号の信号レベルを測定する複数の測定回路と、複数の測定回路が測定した信号レベルに応じたゲイン設定データをそれぞれ出力するゲイン制御部と、各々のゲイン設定データ毎に、I信号、Q信号を増幅するゲインが制御されるプログラマブルゲインアンプとを備え、前記複数の測定回路は測定精度がそれぞれ異なり、前記プログラマブルゲインアンプは、測定精度の低い信号レベルによって算出したゲイン設定データから測定精度の高い信号レベルにより算出したゲイン設定データを順番に用いてゲイン制御を行うものである。

12. 無線データ通信における受信信号の信号レベルを測定し、対数圧縮された粗ゲイン制御に用いられる第1の信号レベル測定信号を出力する第1測定回路と

、入力された I 信号、および Q 信号の信号レベルをリニアスケールで測定し、密ゲイン制御に用いられる第 2 の信号レベル測定信号を出力する第 2 測定回路と、第 1、ならびに第 2 の信号レベル測定信号に基づいて、ゲイン設定値を生成する制御回路と、該ゲイン設定値に基づいて、第 1、および第 2 のゲイン設定データを生成し、I 信号、Q 信号をゲイン制御するゲイン制御回路と、該第 1、および第 2 のゲイン設定データに応じて I 信号、Q 信号を増幅するプログラマブルゲインアンプとを備えたものである。

13. 前記第 12 項において、プログラマブルゲインアンプが、3 つのプログラマブルゲインアンプが直列接続された構成からなり、前段の 2 つのプログラマブルゲインアンプは、ゲイン制御回路が第 1 信号レベル測定信号から生成した第 1 のゲイン設定データに基づいてゲインを設定し、後段のプログラマブルゲインアンプは、第 2 のゲイン設定データに基づいて I 信号、Q 信号を増幅するゲインを設定するものである。

14. 前記 13 項記載において、3 つのプログラマブルゲインアンプは、DC オフセットをキャンセルする DC オフセットキャンセル部をそれぞれ設け、制御回路は、3 つのプログラマブルゲインアンプのゲイン切り換えの際に発生する DC オフセットをキャンセルする DC オフセットキャンセル信号を出力するものである。

15. 前記第 10 項～前記第 14 項のいずれかにおいて、ゲイン設定データが、時分割データよりなるものである。

16. 前記第 12 項～前記第 15 項のいずれかにおいて、第 1 測定回路の測定結果に基づいて受信信号有無を判断し、受信信号が検出されない場合には少なくとも 2 本のアンテナをある時間毎に切り換え、受信信号を検出した際には切り換え動作を停止し、受信した前記アンテナを接続固定する切り換え信号を生成する制御回路と、該制御回路のアンテナ切り換え信号に基づいて、少なくとも 2 本のアンテナにおける切り換えを行うアンテナスイッチ部とを備えたものである。

17. 前記第 12 項～前記第 16 項において、アンテナが受信した受信信号を増幅する低雑音増幅器を備え、該低雑音増幅器は、第 1 の信号レベル測定信号に基づいてゲイン設定値から生成したゲイン切り換えデータにより、ゲインを制御す

るものである。

18. 入力された I 信号、および Q 信号の信号レベルをリニアスケールで測定し、第 2 の信号レベル測定信号を出力する第 2 測定回路と、該第 2 測定回路が測定した第 2 の信号レベル測定信号に基づいて、ゲイン設定値を生成する制御回路と、該制御回路から出力されたゲイン設定値に基づいて、第 2 のゲイン設定データを生成するゲイン制御を行うゲイン制御回路と、該ゲイン制御回路から出力された第 2 のゲイン設定データに応じて I 信号、Q 信号を増幅するプログラマブルゲインアンプと、スイッチ切り換え信号に基づいて出力先を切り換え、信号の送信時に送信ベースバンドアンプから出力される送信信号を前記プログラマブルゲインアンプに出力するバイパス用スイッチ部とを備え、バイパススイッチ部を切り換えて送信信号をプログラマブルゲインアンプに出力し、第 2 測定回路によって、プログラマブルゲインアンプから出力される I 信号、および Q 信号の特性誤差をそれぞれ測定し、プログラマブルゲインアンプのゲイン調整を行うものである。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0017】

(実施の形態 1)

図 1 は、本発明の実施の形態 1 による無線 LAN システムのブロック図、図 2 は、図 1 の無線 LAN システムに設けられた LPF / PGA のブロック図、図 3 は、図 2 の LPF / PGA に設けられたプログラマブルゲインアンプの構成を示す説明図、図 4 は、図 3 のプログラマブルゲインアンプに設けられた可変ゲインアンプの内部構成を示す説明図、図 5 は、図 2 の LPF / PGA による目的信号の増幅動作における説明図、図 6 は、図 1 の無線 LAN システムに設けられた第 1 測定回路の内部構成の説明図、図 7 は、図 1 の無線 LAN システムに設けられた制御回路の内部構成の説明図、図 8 は、図 1 の無線 LAN システムに設けられたゲイン制御回路の内部構成の説明図、図 9 は、図 1 の無線 LAN システムにおける制御回路が実行する制御動作のフローチャート、図 10 は、図 9 の動

作処理フローを時系列で示した説明図、図 1 1 は、図 1 の無線 LAN システムに  
のショートシンボル期間におけるベースバンド信号の波形説明図、図 1 2 は、図  
1 の無線 LAN システムにおける RF 処理部とベースバンド処理部との間で送受  
信される各種信号の一例を示す説明図、図 1 3 は、図 1 2 の制御信号における M  
ODE 信号による各種設定の詳細を示す説明図、図 1 4 は、図 1 2 のシリアルイ  
ンターフェイスのレジスタマップの詳細な説明図、図 1 5 は、図 1 4 のシリアル  
インターフェイスにおけるタイミング仕様の一例を示す説明図である。

## 【 0 0 1 8 】

本実施の形態 1 において、無線 LAN システム 1 は、伝送路として電波を利用  
して LAN (Local Area Network) を構築する。無線 LAN  
システム 1 は、図 1 に示すように、受信アンテナ 2、3、アンテナスイッチ 4、  
送信アンテナ 5、送信アンプ 6、RF 処理部 7、およびベースバンド処理部 8 か  
ら構成されている。

## 【 0 0 1 9 】

さらに、RF 処理部 7 は、LNA 9、1st ミキサ 10、2nd ミキサ 11、  
12、加算器 13、OSC 14、LPF 15、LPF/PGA 16、17、第 1  
測定回路 18、ゲイン制御回路 (テスト信号発生部、ゲイン制御部) 19、調整  
回路 20、送信ベースバンドアンプ 21、22、送信 1st ミキサ 23、24、  
ならびに送信 2st ミキサ 25 から構成されている。また、ベースバンド処理部  
8 は、第 2 測定回路 26、制御回路 (ゲイン制御部) 27、変調回路 28、およ  
び復調回路 29 から構成されている。

## 【 0 0 2 0 】

これら RF 処理部 7、ならびにベースバンド処理部 8 は、たとえば、1 チップ  
の半導体集積回路装置によってそれぞれ構成されている。

## 【 0 0 2 1 】

OSC 14 は、外部入力される基準クロック SCLK に基づいて、クロック信  
号を生成し、1st ミキサ 10、2nd ミキサ 11、12、送信 1st ミキサ 2  
3、24、および送信 2st ミキサ 25 などに供給する。

## 【 0 0 2 2 】

受信信号は、受信アンテナ 2, 3 のいずれか一方によって受信され、アンテナスイッチ 4 により受信条件を満たす方が選択される。このアンテナスイッチ 4 は、制御回路 1 9 から出力されるアンテナスイッチ切り換え信号 A S により制御される。そして、低雑音増幅器である L N A 9 によって増幅された後、1 s t ミキサ 1 0 で中間周波数に変換される。

#### 【 0 0 2 3 】

さらに、2 n d ミキサ 1 1, 1 2 にてベースバンド信号に変換される。その後、L P F / P G A 1 6, 1 7 にて目的の信号が適当なレベルになるように増幅され、いわゆる I 信号、Q 信号が別々に後段のベースバンド処理部 8 に伝えられ、復調回路 2 9 にて復調される。

#### 【 0 0 2 4 】

一方、送信信号は、変調回路 2 6 によってベースバンド信号（I 信号、および Q 信号）に変換された後、送信ベースバンドアンプ 2 1, 2 2 を通り、送信 1 s t ミキサ 2 3, 2 4、および送信 2 n d ミキサ 2 5 によって、目的の R F 周波数に周波数変換される。そして、送信アンプ 6 によって増幅されて送信アンテナ 5 から送信される。

#### 【 0 0 2 5 】

受信側 I、Q ベースバンド信号のレベルを調整するための機構としては、A G C ( A u t o m a t i c   G a i n   C o n t r o l ) が使用されている。このための信号レベル測定に、第 1 測定回路 1 8、および第 2 測定回路 2 6 が用いられる。第 1 測定回路 1 8 は、2 n d ミキサ 1 1, 1 2 の出力 M 1, M 2 を加算器 1 3 で加算した信号 A d d を、さらに L P F 1 5 により妨害信号を除去したものの信号レベル値を対数圧縮して測定し、測定信号（第 1 の信号レベル測定信号）M R 1 として出力する。

#### 【 0 0 2 6 】

第 2 測定回路 2 6 は復調対象となる I 信号、および Q 信号のレベルを線形（リニア）なままで測定し、測定信号（第 2 の信号レベル測定信号）M R 2 として出力する。第 1 測定回路 1 8、第 2 測定回路 2 6 の出力は制御回路 2 7 にそれぞれ送られ、その結果をもとにゲイン設定値時分割データ T D を発生し、ゲイン制御



回路 1 9 を介して、I 信号、Q 信号の信号レベルが目標レベルとなるように L P F / P G A 1 6, 1 7 のゲインを制御する。

#### 【 0 0 2 7 】

ゲイン制御回路 1 9 では、制御回路 2 7 から受け取ったゲイン設定値時分割データ T D を、該制御回路 2 7 が発生したモード制御信号 M C、および D C オフセットキャンセル制御／ゲインデータラッチ兼用信号（D C オフセットキャンセル信号）K S による制御によって、L N A ゲイン切り換え信号 G C、P G A ゲイン設定値データ（第 1、および第 2 のゲイン設定データ）G D に展開し、L N A 9、および L P F / P G A 1 6, 1 7 にそれぞれ与える。

#### 【 0 0 2 8 】

また、送信系の回路調整においては、ゲイン制御回路 1 9 からの送信回路調整コマンド C C により、変調回路 2 8 がテスト信号を発生し、調整回路 2 0 が送信ベースバンドアンプ 2 1, 2 2 の出力レベルを測定し、予め定められた範囲内に入るように該送信ベースバンドアンプ 2 1, 2 2 を調整する。

#### 【 0 0 2 9 】

図 2 は、L P F / P G A 1 6 (, 1 7) の構成を説明するブロック図である。

#### 【 0 0 3 0 】

L P F / P G A 1 6 (, 1 7) は、ローパスフィルタ F 1 ~ F 3 とプログラマブルゲインアンプ G A 1 ~ G A 3 とが交互に接続された構成からなる。各々のプログラマブルゲインアンプ G A 1 ~ G A 3 に対しては、P G A ゲイン設定値データ G D に基づいてゲイン制御が行われる。

#### 【 0 0 3 1 】

また、各々のプログラマブルゲインアンプ G A 1 ~ G A 3 に入力される D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S は、該プログラマブルゲインアンプ G A 1 ~ G A 3 のゲイン切り換え時に発生する D C オフセットをキャンセルする。

#### 【 0 0 3 2 】

さらに、プログラマブルゲインアンプ G A 1 ( ~ G A 3 ) の内部構成について図 3 を用いて説明する。

## 【 0 0 3 3 】

プログラマブルゲインアンプ G A 1 ( ~ G A 3 ) は、入力ショートスイッチ 3 0、減算器 3 1、可変ゲインアンプ 3 2、アンプ 3 3、静電容量素子 3 4、ならびにサンプリングスイッチ 3 5 から構成されている。

## 【 0 0 3 4 】

入力ショートスイッチ 3 0 は、入力信号 I N とリファレンス電圧 V r e f との切り換えを行う。入力ショートスイッチ 3 0 の一方の接続部には、入力信号 I N が入力されるように接続されており、該入力ショートスイッチ 3 0 の他方の接続部には、リファレンス電圧 V r e f が入力されるように接続されている。

## 【 0 0 3 5 】

入力ショートスイッチ 3 0 の共通接続部には、可変ゲインアンプ 3 2 の入力部が接続されており、該可変ゲインアンプ 3 2 の出力部にはサンプリングスイッチ 3 5 の他方の接続部が接続されている。

## 【 0 0 3 6 】

可変ゲインアンプ 3 2 には、 P G A ゲイン設定値データ G D が入力され、この P G A ゲイン設定値データ G D に基づいて出力ゲインが可変される。この可変ゲインアンプ 3 2 の出力部から出力される信号が出力信号 O U T となる。

## 【 0 0 3 7 】

サンプリングスイッチ 3 5 の一方の接続部には、静電容量素子 3 4 の一方の接続部、ならびにアンプ 3 3 の入力部がそれぞれ接続されている。静電容量素子 3 4 の他方の接続部には基準電位 V S S が接続されている。アンプ 3 3 の出力部には、減算器 3 1 が接続されている。静電容量素子 3 4 は、通常動作時に D C オフセットを保持する。減算器 3 1、ならびにアンプ 3 3 は、可変ゲインアンプ 3 2 の出力に発生する D C オフセットを入力に帰還する。

## 【 0 0 3 8 】

また、入力ショートスイッチ 3 0、およびサンプリングスイッチ 3 5 は、 D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S に基づいて O N / O F F 制御が行われる。サンプリングスイッチ 3 5 は、静電容量素子 3 4 への D C オフセットのサンプリングを行うためのスイッチである。

## 【 0 0 3 9 】

このプログラマブルゲインアンプGA1（～GA3）においては、DCオフセットキャンセル制御／ゲインデータラッチ兼用信号KSにより、入力ショートスイッチ30をリファレンス電圧Vrefに接続し、サンプリングスイッチ35を閉じることにより、可変ゲインアンプ32の出力に発生するDCオフセット電圧がアンプ33によって増幅された後、減算器31を介して可変ゲインアンプ32に帰還される。

## 【 0 0 4 0 】

その結果、可変ゲインアンプ32から出力される出力信号OUTのDCオフセットが抑圧される。

## 【 0 0 4 1 】

上記において、DCオフセットが抑圧された状態で、DCオフセットキャンセル制御／ゲインデータラッチ兼用信号KSにより、入力ショートスイッチ30を入力信号INに接続し、サンプリングスイッチ35を開くことにより、DCオフセットをキャンセルするための電圧を静電容量素子34に保持し、DCオフセットのキャンセルを維持しながら、入力信号INを可変ゲインアンプ32に通すことが可能となる。

## 【 0 0 4 2 】

さらに、可変ゲインアンプ32の内部構成の一例について図4を用いて説明する。

## 【 0 0 4 3 】

可変ゲインアンプ32は、ゲイン選択スイッチGSW1、GSW2、DCオフセット発生源SETV1～SETV3、およびアンプAP1～AP3から構成されている。

## 【 0 0 4 4 】

ゲイン選択スイッチGSW1の共通接続部には入力信号INが入力される。ゲイン選択スイッチGSW1は、PGAゲイン設定値データGDに基づいて切り換えを行い、DCオフセット発生源SETV1～SETV3のいずれかに出力する。

## 【 0 0 4 5 】

D C オフセット発生源 S E T V 1 ～ S E T V 3 は、アンプ A P 1 ～ A P 3 の入力部にそれぞれ接続されており、該アンプ A P 1 ～ A P 3 のいずれかから出力される信号は、P G A ゲイン設定値データ G D に基づいて切り換え制御されるゲイン選択スイッチ G S W 2 を介して出力信号 O U T として出力される。

## 【 0 0 4 6 】

アンプ A P 1 ～ A P 3 は、異なるゲインをそれぞれ有しており、これらアンプ A P 1 ～ A P 3 をゲイン選択スイッチ G S W 1 , G S W 2 によって切り換えて選択する。個々のアンプ A P 1 ～ A P 3 は、それぞれ独立に D C オフセットを有しているので、ゲイン切り換え毎に異なる D C オフセット電圧が発生する。

## 【 0 0 4 7 】

また、図 4 では、2 つのゲイン選択スイッチ G S W 1 , G S W 2 により、切り換え制御を行う構成としたが、これらゲイン選択スイッチ G S W 1 , G S W 2 のうち、いずれか一方を省略してもよい。

## 【 0 0 4 8 】

ここで、L P F / P G A 1 6 ( , 1 7 ) による目的信号の増幅について、図 5 を用いて説明する。

## 【 0 0 4 9 】

また、図 5 の右側においては、目的信号、隣接妨害信号、ならびに非隣接妨害信号のグラフをそれぞれ示しており、横軸は周波数、縦軸が信号レベルとなっている。

## 【 0 0 5 0 】

たとえば、I E E E 8 0 2 . 1 1 a では目的信号に対して、隣接妨害信号が + 1 6 d B 、非隣接妨害信号が + 3 2 d B までそれぞれ許容する必要がある。このため、目的信号を目標信号レベルまで増幅するにあたり、妨害信号による回路の飽和を防止することが必要となる。よって、必要なローパスフィルタとプログラマブルゲインアンプとの特性を、たとえば 3 段階に分割して、それを交互に配置することを行う。

## 【 0 0 5 1 】

入力信号として目的信号、隣接妨害信号、ならびに非隣接妨害信号が混合した信号が入ってくる場合、ローパスフィルタ F 1 により妨害信号をある程度除去した後、プログラマブルゲインアンプ G A 1 により増幅する。

## 【 0 0 5 2 】

次に、ローパスフィルタ F 2 を介することにより妨害信号をさらに除去し、プログラマブルゲインアンプ G A 2 により再び増幅する。同様に、ローパスフィルタ F 3 による妨害信号除去とプログラマブルゲインアンプ G A 3 による増幅とを行うことにより、目的信号が目標とする信号レベルになる。

## 【 0 0 5 3 】

このとき、各々のローパスフィルタ F 1 ～ F 3 の妨害遮断特性とプログラマブルゲインアンプ G A 1 ～ G A 3 のゲインを適当に制御することにより、信号が通過する回路が飽和することなく目的信号の増幅を可能とすることができる。

## 【 0 0 5 4 】

また、第 1 測定回路 1 8 の内部構成について図 6 を用いて説明する。

## 【 0 0 5 5 】

第 1 測定回路 1 8 は、ローパスフィルタ 3 6、検波回路 3 7、ならびに 1 o g アンプ 3 8 から構成されている。ローパスフィルタ 3 6 は妨害信号を除去し、検波回路 3 7 は、該ローパスフィルタ 3 6 を介して入力された信号を直流電圧に変換する。1 o g アンプ 3 8 は、検波回路 3 7 によって変換された直流電圧を対数圧縮する。

## 【 0 0 5 6 】

この構成によって、入力信号レベルの広い範囲に対して、信号の有無、および信号レベルの概略値を測定することができる。

## 【 0 0 5 7 】

さらに、制御回路 2 7 の内部構成について、図 7 を用いて説明する。

## 【 0 0 5 8 】

制御回路 2 7 は、プロセッサ 3 9、プログラムメモリ 4 0、データメモリ 4 1、入力ポート 4 2、出力ポート 4 3、およびバス 4 4 から構成されている。プロセッサ 3 9 は、プログラムに基づいて制御回路 2 7 におけるすべての制御を司る

## 【 0 0 5 9 】

プログラムメモリ 4 0 は、前述したプロセッサ 3 9 が実行するプログラムを格納する。データメモリ 4 1 は、プログラムの実行結果を一時的に格納する。入力ポート 4 2 は、第 1 測定回路 1 8、および第 2 測定回路 2 6 から出力される測定信号 MR 1、MR 2 を受け取る。

## 【 0 0 6 0 】

出力ポート 4 3 は、ゲイン設定値時分割データ TD、モード制御信号 MC、DC オフセットキャンセル制御／ゲインデータラッチ兼用信号 KS、アンテナスイッチ切り換え信号 AS、送信回路調整コマンド CC、および送信回路調整信号発生コマンド CD などが出力される。これらプロセッサ 3 9、プログラムメモリ 4 0、データメモリ 4 1、入力ポート 4 2、ならびに出力ポート 4 3 は、バス 4 4 を介して相互に接続されている。

## 【 0 0 6 1 】

そして、この制御回路 1 9 により、受信系ゲイン制御、送信系回路調整、および受信アンテナ選択などの全体システムの動作を制御する。

## 【 0 0 6 2 】

また、ゲイン制御回路 1 9 の内部構成について説明する。

## 【 0 0 6 3 】

ゲイン制御回路 1 9 は、図 8 に示すように、ゲインラッチ選択レジスタ 4 5、ゲインラッチ 4 6、4 7、およびモードデコーダ 4 8 などから構成されている。

## 【 0 0 6 4 】

ゲインラッチ選択レジスタ 4 5 は、ゲインラッチ 4 6、4 7 のいずれのデータを保持するかを選択する。ゲインラッチ 4 6 は、時分割で送られてくるゲイン設定値時分割データ TD から、LNA 9、およびプログラマブルゲインアンプ GA 1、GA 2 に設定すべきゲインデータを保持する。

## 【 0 0 6 5 】

ゲインラッチ 4 7 は、同様に時分割で送られてくるゲイン設定値時分割データ TD から、プログラマブルゲインアンプ GA 3 に設定すべきゲインデータを保持

する。モードデコーダ48は、入力されたモード制御信号MCをデコードし、送信回路調整コマンドCCなどを出力する。

## 【0066】

モード制御信号MCが受信動作でないイニシャル状態において、ゲインラッチ選択レジスタ45、およびゲインラッチ46、47がともにクリアされる。

## 【0067】

モード制御信号MCが受信動作の際には、ゲインラッチ選択レジスタ45、ならびにゲインラッチ46、47はそれぞれアクティブになり待機状態となる。このとき、ゲインラッチ46の出力端子Qから出力されるゲインラッチ選択信号は'0'で、該ゲインラッチ46への書き込みが許可され、ゲインラッチ47への書き込みが阻止される。なお、同図において、Eはイネーブル端子を表し、Dはデータ端子を表す。

## 【0068】

また、ゲインラッチ46は、入力されたDCオフセットキャンセル制御／ゲインデータラッチ兼用信号KSの立ち上がりエッジで該ゲインラッチ46にゲイン設定値時分割データTDがラッチされる。

## 【0069】

このゲインラッチ46の出力端子Qからは、LNA9、およびプログラマブルゲインアンプGA1、GA2に設定すべきPGAゲイン設定値データGD、およびLNAゲイン切り換え信号GCが出力される。

## 【0070】

DCオフセットキャンセル制御／ゲインデータラッチ兼用信号KSの立ち下がりではゲインラッチ選択レジスタ45が反転し、ゲインラッチ46への書き込みが阻止されるとともに、ゲインラッチ47への書き込みが許可される。

## 【0071】

そして、DCオフセットキャンセル制御／ゲインデータラッチ兼用信号KSの立ち上がりエッジで、ゲインラッチ47にゲイン設定値時分割データTDがラッチされる。

## 【0072】

このゲインラッチ 4 7 の出力端子 Q からは、プログラマブルゲインアンプ G A 3 に設定すべき P G A ゲイン設定値データ G D が出力される。

【 0 0 7 3 】

M O D E は、1 パケットの受信が終了すると、受信動作ではなくなり、イニシヤル状態に戻って次の M O D E が受信動作になるのを待つ。

【 0 0 7 4 】

次に、本実施の形態の作用について説明する。

【 0 0 7 5 】

図 9 は、制御回路 1 9 が実行する制御動作フローを示したフローチャートである。

【 0 0 7 6 】

まず、M O D E が受信状態に設定されると（ステップ S 1 0 1）、制御回路 1 9 は、アンテナスイッチ切り換え信号 A S を出力し、受信アンテナ 2 が受信した信号レベルを第 1 測定回路 1 8 によって測定する（ステップ S 1 0 2）。

【 0 0 7 7 】

そして、ある受信感度を超える信号が受信された否かを判定する（ステップ S 1 0 3）。具体的には、I E E E 8 0 2 . 1 1 a において最低受信感度が  $-82$  d B m と定められているので、その  $-82$  d B m よりも大きな信号が受信されているか否かを判定する。

【 0 0 7 8 】

ステップ S 1 0 3 の処理において、 $-82$  d B m よりも大きな信号が受信されていない場合には、アンテナスイッチ切り換え信号 A S を出力し、受信アンテナ 3 が受信した信号レベルを第 1 測定回路 1 8 によって測定する（ステップ S 1 0 4）。

【 0 0 7 9 】

そして、 $-82$  d B m を超える信号が受信された否かを判定する（ステップ S 1 0 5）。ステップ S 1 0 5 の処理において、 $-82$  d B m よりも大きな信号が受信されていない場合には、ステップ S 1 0 2 ～ S 1 0 5 の処理を繰り返し実行する。



## 【 0 0 8 0 】

ステップ S 1 0 3、または S 1 0 5 の処理において、 $-82\text{ dBm}$ を超える信号が受信されると、制御回路 1 9 は、第 1 測定回路 1 8 が測定した受信信号のレベルに応じてゲインラッチ 4 6 にゲイン設定値時分割データ T D を設定し、L N A 9 のゲイン設定値、およびプログラマブルゲインアンプ G A 1、G A 2 のゲイン粗設定値（ $6\text{ dB}$ 程度単位）を大まかに設定し、ゲイン粗制御を行う（ステップ S 1 0 6）。

## 【 0 0 8 1 】

また、受信信号が検出されると、それ以降は、そのパケットが終了するまで受信アンテナ 2、3 の切り換えを停止する。

## 【 0 0 8 2 】

ゲイン粗制御を設定して D C オフセットをキャンセルした後、第 2 測定回路 2 6 が再び信号レベルを測定する（ステップ S 1 0 7）。そして、第 2 測定回路 2 6 が測定した信号レベルに応じてゲインラッチ 4 7 にゲイン設定値時分割データ T D を設定してプログラマブルゲインアンプ G A 3 のゲインを高精度に設定（ $\pm 2\text{ dB}$ 程度）する（ステップ S 1 0 8）。

## 【 0 0 8 3 】

このステップ S 1 0 8 の処理においてゲイン密制御が終了し、オートゲインコントロール処理が終了となる。

## 【 0 0 8 4 】

ここで、受信アンテナが 3 つになった場合のフローチャートを図 1 8 に示す。

## 【 0 0 8 5 】

この場合、ステップ S 1 0 5 の処理において、 $-82\text{ dBm}$ よりも大きな信号が受信されていない場合には、3 つ目の受信アンテナが受信した信号レベルを第 1 測定回路 1 8 によって測定する（ステップ S 1 0 9）。

## 【 0 0 8 6 】

そして、 $-82\text{ dBm}$ を超える信号が受信された否かを判定する（ステップ S 1 1 0）。ステップ S 1 0 5 の処理において、 $-82\text{ dBm}$ よりも大きな信号が受信されていない場合には、ステップ S 1 0 2 ～ S 1 1 0 の処理を繰り返し実行

する。

【 0 0 8 7 】

また、ステップ S 1 0 1 ～ S 1 0 4、およびステップ S 1 0 6 ～ S 1 0 8 の処理は、図 9 と同様であるので説明は省略する。受信アンテナの数が 4 つ以上になった場合においてもこれに準ずることになる。

【 0 0 8 8 】

図 1 0 は、図 9 の動作処理フローを時系列で示した説明図である。

【 0 0 8 9 】

図 1 0 においては、上方から下方にかけて、受信される M O D E 信号、アンテナスイッチ切り換え信号 A S、第 1 測定回路 1 8 の入力信号、D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S、ゲインラッチ選択レジスタ 4 5 から出力されるゲインラッチ選択信号、ゲイン設定値時分割データ T D、L N A 9 のゲイン切り換え／プログラマブルゲインアンプ G A 1 ～ G A 3 のゲイン設定値、および第 2 測定回路 2 6 の入力信号（I 信号、Q 信号）の信号変化についてそれぞれ示している。

【 0 0 9 0 】

まず、M O D E 信号が受信動作になり、アンテナスイッチ切り換え信号 A S によって、受信アンテナ 2、3 を交互に切り換え、第 1 測定回路 1 8 によって信号レベルを測定し、あるレベルの受信感度を超える入力信号を待ち受ける。

【 0 0 9 1 】

この場合には、アンテナスイッチ切り換え信号 A S が ' 0 ' のときに第 1 測定回路 1 8 がレベル測定したときには受信信号が無く、その後、アンテナスイッチ切り換え信号 A S を反転して受信アンテナを切り換えて、再度第 1 測定回路 1 8 が信号レベルを測定した際に受信信号が検出されている。

【 0 0 9 2 】

最低受信感度を超える信号が受信されたら、制御回路 1 9 は第 1 測定回路 1 8 が測定した受信信号レベルに応じて L N A 9 のゲイン設定値、ならびにプログラマブルゲインアンプ G A 1、G A 2 のゲイン粗制御値を設定する。

【 0 0 9 3 】

制御回路 2 7 は、ゲイン設定値時分割データ T D に、L N A 9、およびプログラマブルゲインアンプ G A 1、G A 2 への設定値を出力する。次いで、D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S を立ち上げ、ゲイン制御回路 1 9 によってゲインデータをラッチする。

## 【 0 0 9 4 】

L N A 9、ならびにプログラマブルゲインアンプ G A 1、G A 2 のゲインが切り替わると D C オフセットが変化するため、D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S を ' 1 ' に保持し、この期間に D C オフセットをキャンセルする。

## 【 0 0 9 5 】

この D C オフセットキャンセル期間では、プログラマブルゲインアンプ G A 1、G A 2 の入力が入力リファレンス電圧  $V_{ref}$  のショートされるために、第 2 測定回路 2 6 の入力信号（I 信号、Q 信号）には交流信号を除いた D C 成分のみが発生する。

## 【 0 0 9 6 】

そして、D C オフセットのキャンセルに十分な期間を過ぎた後、D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S を ' 0 ' に下げる。

## 【 0 0 9 7 】

D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S が ' 0 ' に下になると、L N A 9、ならびにプログラマブルゲインアンプ G A 1、G A 2 に交流信号がのり、第 2 測定回路 2 6 が信号レベルを測定する。

## 【 0 0 9 8 】

この動作と並行して、D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S が ' 0 ' になるタイミング（立ち下がり）でゲインラッチ選択レジスタ 4 5 が M O D E 信号をラッチし、ゲインラッチ選択信号を ' 1 ' とし、次にゲイン値を受け取るのがゲインラッチ 4 7 になるように設定する。

## 【 0 0 9 9 】

そして、第 2 測定回路 2 6 で測定した信号レベルに応じてプログラマブルゲインアンプ G A 3 のゲイン値設定を行う。制御回路 2 7 はゲイン設定値時分割デー

タ T D に プ ロ グ ラ マ ブ ル ゲ イ ン ア ン プ G A 3 へ の 設 定 値 を 出 力 す る。

【 0 1 0 0 】

その後、D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S を立ち上げ、ゲイン制御回路 1 9 によってゲインデータをラッチする。次いで、D C オフセットキャンセル制御／ゲインデータラッチ兼用信号 K S を ' 1 ' に保持して D C オフセットのキャンセル処理を行う。

【 0 1 0 1 】

ここで、図 1 1 にショートシンボル期間におけるベースバンド信号の波形を示す。図の上段、中央段に示するように、I 信号、および Q 信号は、それぞれ  $0.8 \mu s$  を 1 周期として  $1/2$  周期 ( $0.4 \mu s$  時間) でシフトしている。

【 0 1 0 2 】

これら I 信号、Q 信号を加算処理することによって、図の下段 (I + Q) に示すように、 $1/2$  周期 ( $0.4 \mu s$  時間) で繰り返す信号となる。

【 0 1 0 3 】

図 1 1 の右側に示す周波数スペクトラムで見ると、I 信号、または Q 信号は、ショートシンボル期間で使用されるキャリアがすべて観測されるが、I + Q においては、I 信号、Q 信号の一番低い周波数成分がそれぞれ消えていることが分かる。

【 0 1 0 4 】

このことにより、I、Q の個別信号では、 $0.8 \mu s$  周期測定をしないと信号レベルが測定できないが、I + Q においては、 $1/2$  周期の時間で測定が可能となることが分かる。

【 0 1 0 5 】

また、図 1 2 は、R F 処理部 7 とベースバンド処理部 8 との間で送受信される各種信号の一例を示している。

【 0 1 0 6 】

図 1 2 の上方から下方にかけては、ベースバンド処理部 8 が R F 処理部 7 から受け取る受信信号、R F 処理部 7 とベースバンド処理部 8 との間でやり取りされる制御信号、ならびにベースバンド処理部 8 が R F 処理部 7 に出力する送信信号

をそれぞれ示している。

【 0 1 0 7 】

また、図の左欄から右欄にかけて、端子名、属性、機能、備考、および図 1 に示す信号との対応をそれぞれ示している。

【 0 1 0 8 】

さらに、図 1 3 には、図 1 2 に示した制御信号における MODE 信号による各種設定の詳細についてそれぞれ示している。図 1 4 は、シリアルインターフェイスのレジスタマップについて示しており、図 1 5 は、シリアルインターフェイスにおけるタイミング仕様の一例を示す説明図である。

【 0 1 0 9 】

それにより、本実施の形態 1 によれば、第 1 測定回路 1 8 によって対数変換した信号レベルを測定してゲイン粗制御を行った後、第 2 測定回路 2 6 によってリニアスケールで測定した信号レベルを用いてゲイン密制御を行うので、オートゲインコントロール処理を短時間で、高精度に行うことができる。

【 0 1 1 0 】

また、粗制御のための測定を R F 処理部 7 が行うので、ベースバンド処理部 8 の負担を軽減することができる。

【 0 1 1 1 】

さらに、本実施の形態 1 においては、可変ゲインアンプ 3 2 (図 4) が、ゲイン選択スイッチ G S W 1, G S W 2、DC オフセット発生源 S E T V 1 ~ S E T V 3、およびアンプ A P 1 ~ A P 3 から構成された場合について記載したが、たとえば、図 1 6 に示すように、図 4 の可変ゲインアンプを 2 つ直列に接続した構成としてもよい。

【 0 1 1 2 】

この場合、可変ゲインアンプ 3 2 a は、ゲイン選択スイッチ G S W 1 ~ G S W 4、DC オフセット発生源 S E T V 1 ~ S E T V 6、アンプ A P 1 ~ A P 6 から構成される。

【 0 1 1 3 】

ゲイン選択スイッチ G S W 1, G S W 2、DC オフセット発生源 S E T V 1 ~

SETV3、およびアンプAP1～AP3の構成は図4と同様である。ゲイン選択スイッチGSW3、GSW4、DCオフセット発生源SETV4～SETV6、ならびにアンプAP4～AP6における接続も図4に示した構成と同様である。また、ゲイン選択スイッチGSW1～GSW4aは、PGAゲイン設定値データGDに基づいて切り換えられる。

#### 【0114】

そして、ゲイン選択スイッチGSW2の共通接続部がゲイン選択スイッチGSW3の共通接続部接続され、ゲイン選択スイッチGSW4の共通接続部から出力信号OUTが出力される。

#### 【0115】

それにより、I信号、Q信号を別々にゲイン調整することができるので、I信号とQ信号とのゲインバランスを制御することができる。

#### 【0116】

この場合においても、4つのゲイン選択スイッチGSW1～GSW4によって切り換え制御を行う構成としたが、ゲイン選択スイッチGSW1、GSW2のいずれか一方、ならびにゲイン選択スイッチGSW3、GSW4のいずれか一方をそれぞれ省略してもよい。

#### 【0117】

さらに、本実施の形態1に示したプログラマブルゲインアンプGA1～GA3（図3）の構成は、図17に示すように、携帯電話用ICなどに使用されるDCオフセットキャンセル技術を用いて構成するようにしてもよい。

#### 【0118】

この場合、プログラマブルゲインアンプGA1（～GA3）は、図17に示すように、図3のプログラマブルゲインアンプGA1（～GA3）に設けられたアンプ33、静電容量素子34、およびサンプリングスイッチ35の代わりに、DAC49、ADC50、およびDCオフセットキャンセル制御回路51を新たに設けた構成からなる。

#### 【0119】

DAC49は、DCオフセットキャンセル制御回路51から出力されたDCオ

フセットキャンセル制御信号CANCをデジタル／アナログ変換し、キャンセル電圧を発生する。

#### 【0120】

ADC50は、可変ゲインアンプ32のDCオフセット電圧をアナログ／デジタル変換してサンプリングする。DCオフセットキャンセル制御回路51は、DCオフセットキャンセル制御／ゲインデータラッチ兼用信号KSに基づいてオフセットキャンセルを指示する。

#### 【0121】

DCオフセットキャンセル制御回路51にDCオフセットキャンセル制御／ゲインデータラッチ兼用信号KSが入力され、DCオフセットキャンセルが指示されると、ADC50は、可変ゲインアンプ32に発生するオフセット電圧値をサンプリングする。

#### 【0122】

そして、DCオフセットキャンセル制御回路51は、ADC50がサンプリングしたDCオフセットをキャンセルするための電圧をDAC49に出力する。その後、再び、可変ゲインアンプ32に発生するオフセット電圧値をサンプリングし、目標値に達していなければオフセットをキャンセルする電圧をDAC49に出力する。

#### 【0123】

##### (実施の形態2)

図19は、本発明の実施の形態2による無線LANシステムのブロック図である。

#### 【0124】

本実施の形態2において、無線LANシステム1aは、図19に示すように、受信アンテナ2、3、アンテナスイッチ4、送信アンテナ5、送信アンプ6、RF処理部7、およびベースバンド処理部8からなる図1と同様の構成に、新たに送受信バイパス用スイッチ52、53が追加された構成からなる。

#### 【0125】

送受信バイパス用スイッチ52の一方の接続部には2ndミキサ11が接続さ

れ、該送受信バイパス用スイッチ 5 2 の共通接続部には L P F / P G A 1 6 が接続されている。

【 0 1 2 6 】

また、送受信バイパス用スイッチ 5 3 の一方の接続部には 2 n d ミキサ 1 2 が接続されており、該送受信バイパス用スイッチ 5 3 の共通接続部には L P F / P G A 1 7 が接続されている。そして、送受信バイパス用スイッチ 5 2, 5 3 の他方の接続部には、送信ベースバンドアンプ 2 1 の出力部がそれぞれ接続されている。

【 0 1 2 7 】

これら送受信バイパス用スイッチ 5 2, 5 3 は、ゲイン制御回路 1 9 から出力される受信回路調整コマンド J C に基づいてスイッチの切り換え制御が行われ、受信系の I 信号、および Q 信号の 2 系統の回路間誤差調整が行われる。

【 0 1 2 8 】

たとえば、受信系 2 系統の回路間誤差調整を行うには、図 1 9 に示すように、送受信バイパス用スイッチ 4 6, 4 7 の他方の接続部がそれぞれ共通接続部に接続されるように設定する。この設定は、前述したようにゲイン制御回路 1 9 から出力される受信回路調整コマンド J C の制御に基づいて行われる。

【 0 1 2 9 】

これによって、送信信号 ( I 信号 ) を受信側の L P F / P G A 1 6, 1 7 にバイパスして第 2 測定回路 2 6 によって L P F / P G A 1 6, 1 7 のゲイン差を I 信号、Q 信号のゲイン差として測定することができる。

【 0 1 3 0 】

そして、この測定結果から、予め決められた誤差範囲に入るように 2 系統の L P F / P G A 1 6, 1 7 におけるゲイン制御を行うことができる。

【 0 1 3 1 】

それにより、本実施の形態 2 においては、送信信号の出力時に、該送信信号を用いて受信側回路のゲイン調整を行うことにより、特別な調整時間を設けることなく高精度に受信信号の誤差調整を行うことができる。

【 0 1 3 2 】



図 2 0 は、図 1 7 の変形例を示す図である。図 2 0 の変形例は、図 1 7 にて可変ゲインアンプ 3 2 の入力側にあった減算器 3 1 を可変ゲインアンプ 3 2 の出力側に置いたものである。図 2 0 の変形例によれば、発生する D C オフセットが小さい場合に、D A C の分解能が低くて済むというメリットがある。

【 0 1 3 3 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 0 1 3 4 】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【 0 1 3 5 】

( 1 ) 無線データなどの受信信号におけるオートゲインコントロール処理を短時間で、高精度に行うことができる。

【 0 1 3 6 】

( 2 ) また、対数圧縮した信号レベルを測定し、プログラマブルゲインアンプの粗制御を行うので、ベースバンド処理部の負担を軽減することができる。

【 0 1 3 7 】

( 3 ) さらに、送信信号の出力時に、該送信信号を用いて受信側回路のゲイン調整を行うので、高精度に受信信号の誤差調整を効率よく行うことができる。

【図面の簡単な説明】

【図 1 】

本発明の実施の形態 1 による無線 L A N システムのブロック図である。

【図 2 】

図 1 の無線 L A N システムに設けられた L P F / P G A のブロック図である。

【図 3 】

図 2 の L P F / P G A に設けられたプログラマブルゲインアンプの構成を示す説明図である。

【図 4】

図 3 のプログラマブルゲインアンプに設けられた可変ゲインアンプの内部構成を示す説明図である。

【図 5】

図 2 の L P F / P G A による目的信号の増幅動作における説明図である。

【図 6】

図 1 の無線 L A N システムに設けられた第 1 測定回路の内部構成の説明図である。

【図 7】

図 1 の無線 L A N システムに設けられた制御回路の内部構成の説明図である。

【図 8】

図 1 の無線 L A N システムに設けられたゲイン制御回路の内部構成の説明図である。

【図 9】

図 1 の無線 L A N システムにおける制御回路が実行する制御動作のフローチャートである。

【図 1 0】

図 9 の動作処理フローを時系列で示した説明図である。

【図 1 1】

図 1 の無線 L A N システムのショートシンボル期間におけるベースバンド信号の波形説明図である。

【図 1 2】

図 1 の無線 L A N システムにおける R F 処理部とベースバンド処理部との間で送受信される各種信号の一例を示す説明図である。

【図 1 3】

図 1 2 の制御信号における M O D E 信号による各種設定の詳細を示す説明図である。

【図 1 4】

図 1 2 のシリアルインターフェイスのレジスタマップの詳細な説明図である。

【図 1 5】

図 1 4 のシリアルインターフェイスにおけるタイミング仕様の一例を示す説明図である。

【図 1 6】

本発明の他の実施の形態による可変ゲインアンプの内部構成を示す説明図である。

【図 1 7】

本発明の他の実施の形態によるプログラマブルゲインアンプの構成を示す説明図である。

【図 1 8】

図 1 の無線 LAN システムにおける制御回路が実行する制御動作の他の例を示すフローチャートである。

【図 1 9】

本発明の実施の形態 2 による無線 LAN システムのブロック図である。

【図 2 0】

本発明の他の実施の形態による制御回路の内部構成の他の例を説明する図である。

【符号の説明】

- 1 無線 LAN システム
- 2, 3 受信アンテナ
- 4 アンテナスイッチ
- 5 送信アンテナ
- 6 送信アンプ
- 7 RF 処理部
- 8 ベースバンド処理部
- 9 LNA
- 10 受信 1 s t ミキサ
- 11, 12 受信 2 n d ミキサ
- 13 加算器

- 1 4 O S C
- 1 5 L P F
- 1 6, 1 7 L P F / P G A
- 1 8 第 1 測定回路
- 1 9 ゲイン制御回路 (テスト信号発生部、ゲイン制御部)
- 2 0 調整回路
- 2 1, 2 2 送信ベースバンドアンプ
- 2 3, 2 4 送信 1 s t ミキサ
- 2 5 送信 2 n d ミキサ
- 2 6 第 2 測定回路
- 2 7 制御回路 (ゲイン制御部)
- 2 8 変調回路
- 2 9 復調回路
- 3 0 入力ショートスイッチ
- 3 1 減算器
- 3 2, 3 2 a 可変ゲインアンプ
- 3 3 アンプ
- 3 4 静電容量素子
- 3 5 サンプリングスイッチ
- 3 6 ローパスフィルタ
- 3 7 検波回路
- 3 8 l o g アンプ
- 3 9 プロセッサ
- 4 0 プログラムメモリ
- 4 1 データメモリ
- 4 2 入力ポート
- 4 3 出力ポート
- 4 4 バス
- 4 5 ゲインラッチ選択レジスタ

46, 47 ゲインラッチ

48 モードデコーダ

49 DAC

50 ADC

51 DCオフセットキャンセル制御回路

52, 53 送受信バイパス用スイッチ

F1～F3 ローパスフィルタ

GA1～FGA3 プログラマブルゲインアンプ

GSW1～GSW4 ゲイン選択スイッチ

SETV1～SETV6 DCオフセット発生源

AP1～AP6 アンプ

TD ゲイン設定値時分割データ

MC モード制御信号

KS DCオフセットキャンセル制御／ゲインデータラッチ兼用信号（DCオフセットキャンセル信号）

AS アンテナスイッチ切り換え信号

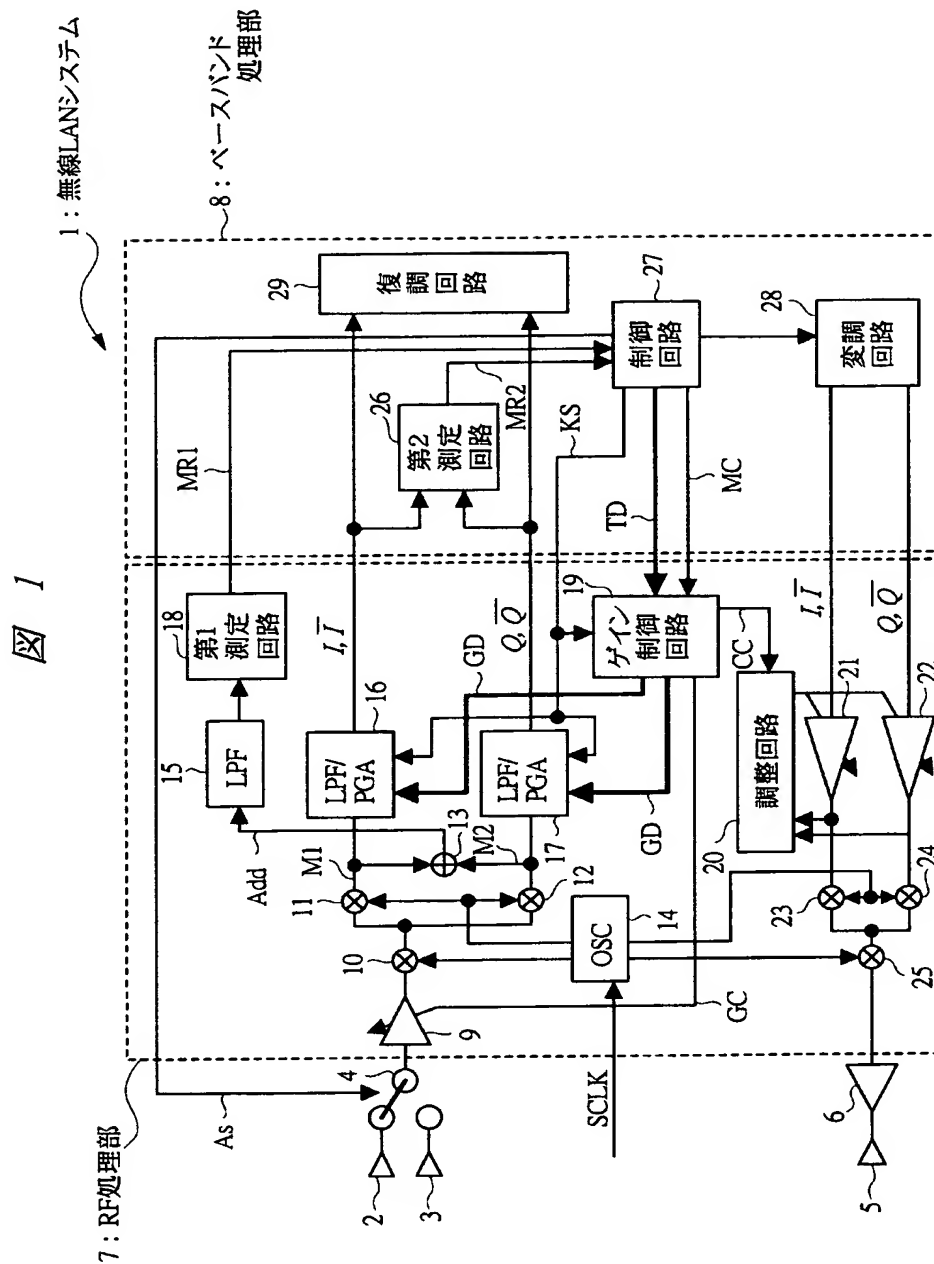
CC 送信回路調整コマンド

GD PGAゲイン設定値データ（第1、および第2のゲイン設定データ）

JC 受信回路調整コマンド

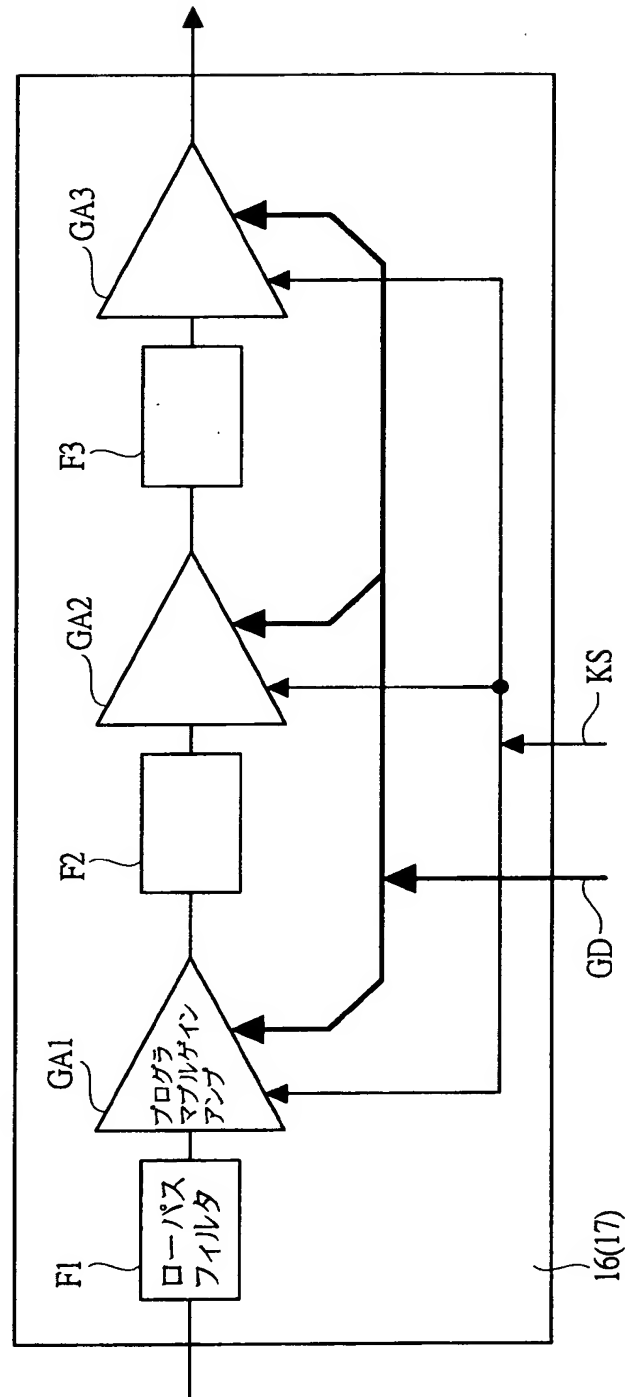
【書類名】 図面

【図 1】



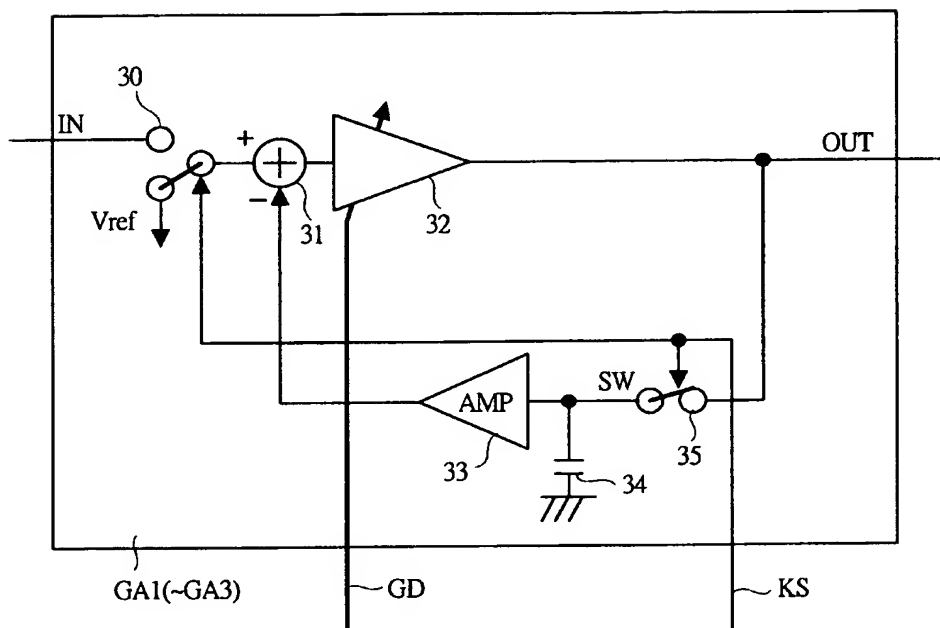
【図 2】

図 2



【図 3】

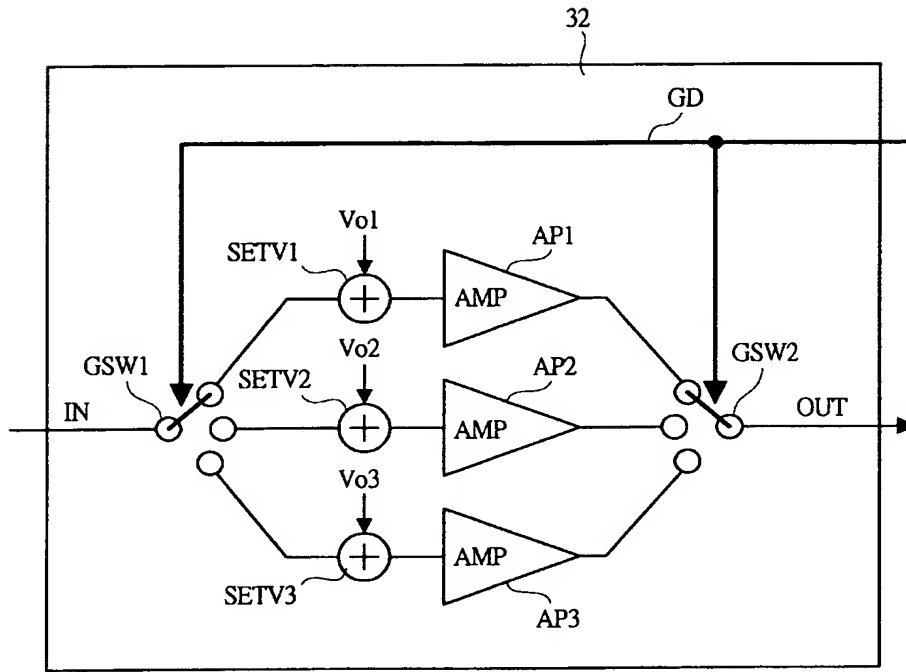
図 3





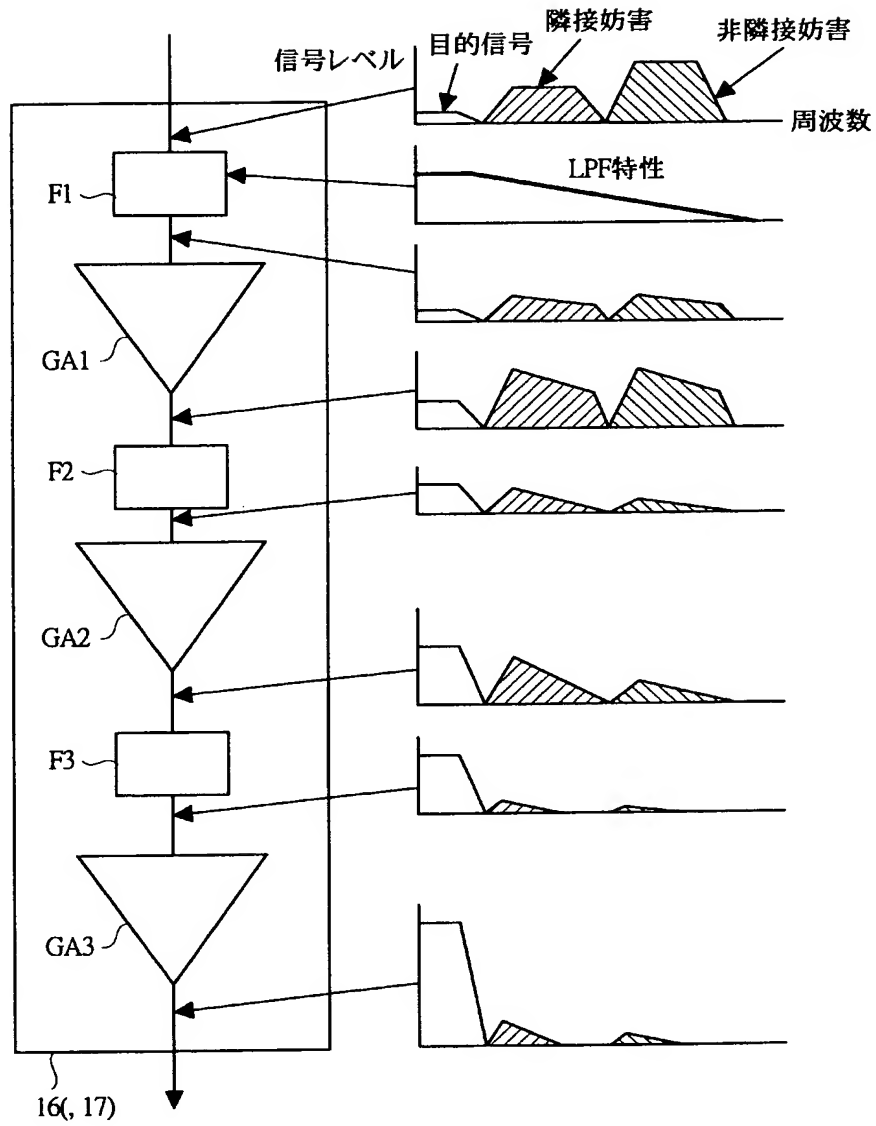
【図 4】

図 4



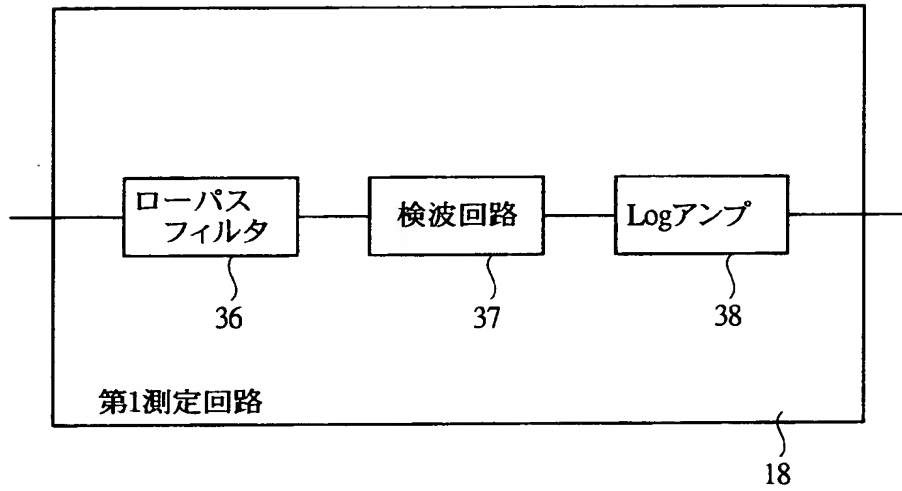
【図 5】

図 5



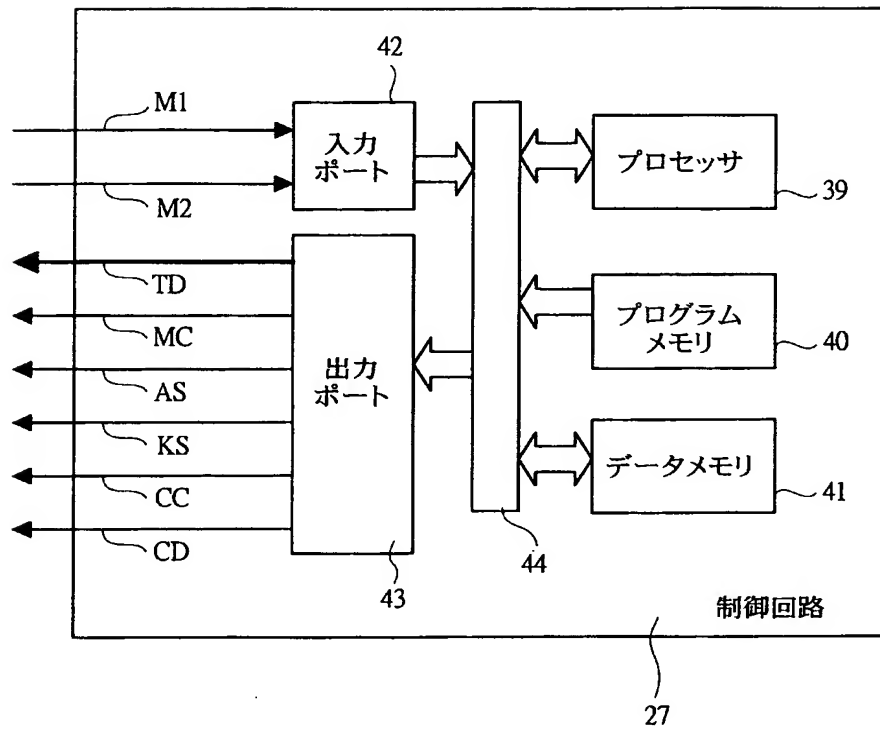
【図 6】

図 6

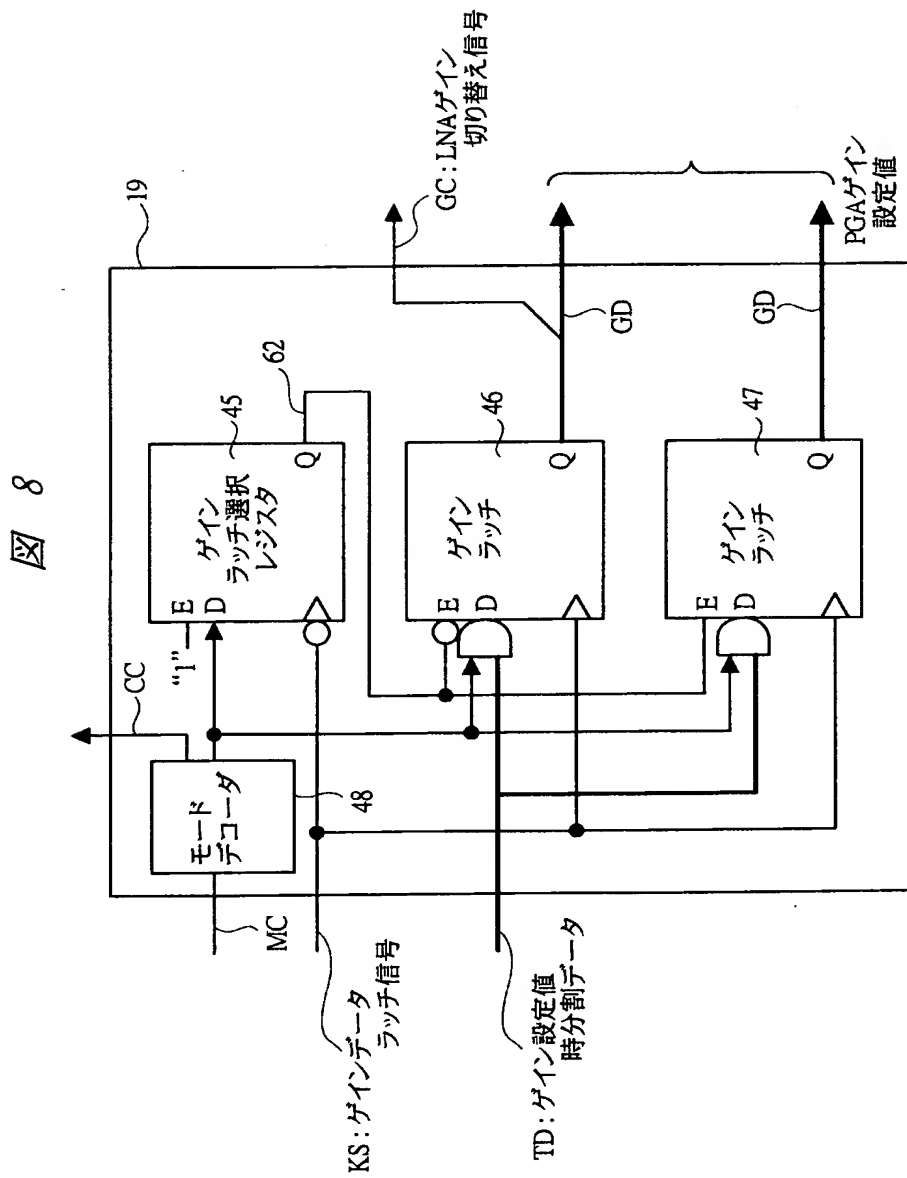


【図 7】

図 7

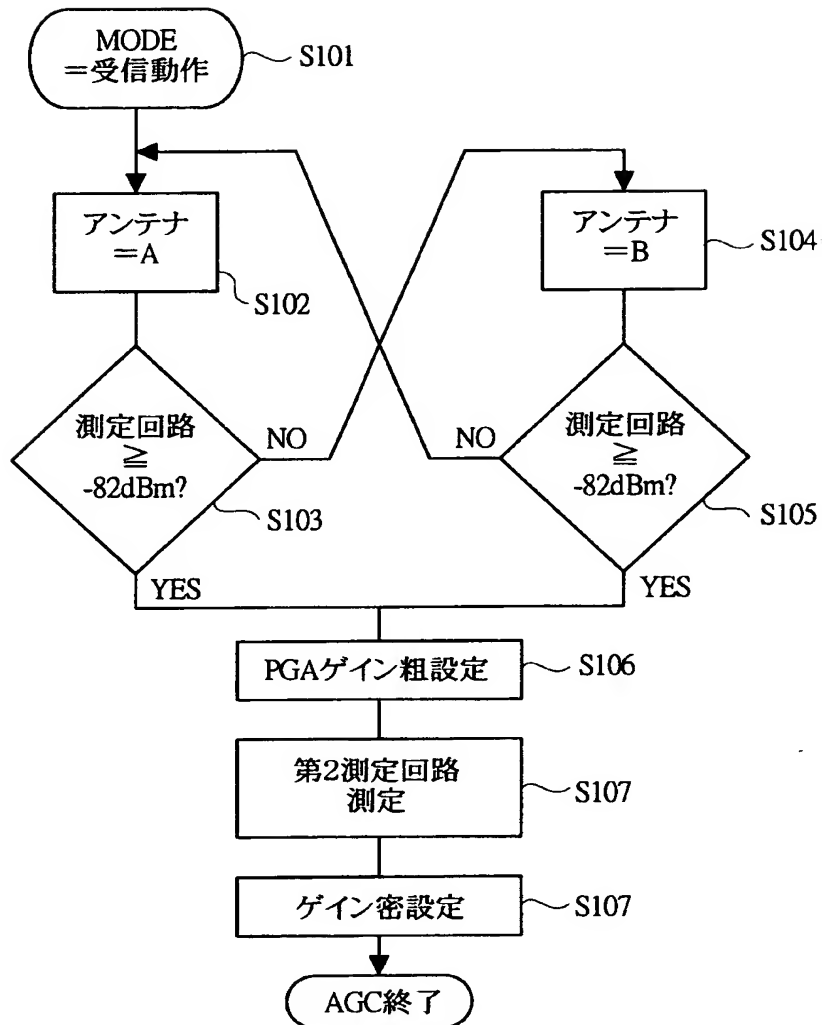


【図 8】



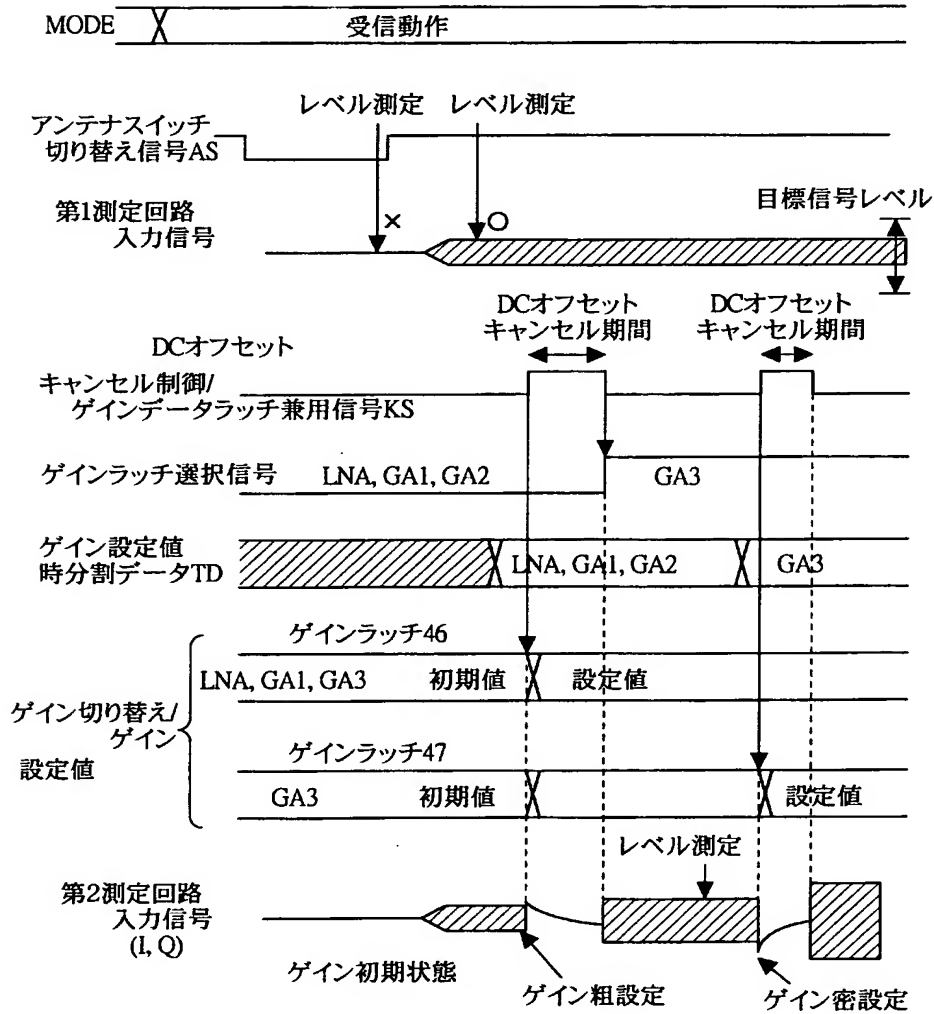
【図 9】

図 9



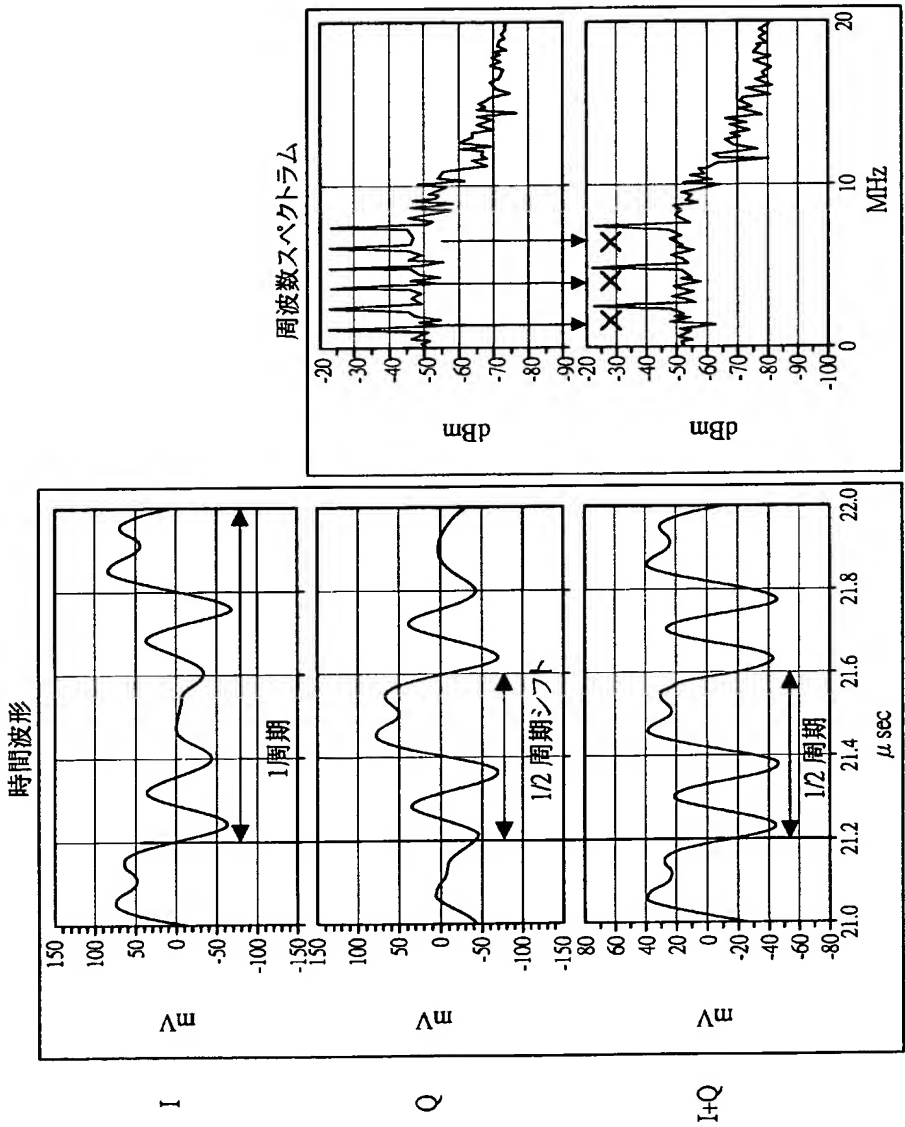
【図 1 0】

図 10



【図 1 1】

図 11





【図 1 2】

図 12

端子名	属性	機能	備考	図1符号対応
受信信号	RSSIOUT	RSSI出力		測定信号MRI
	RXBOUTIX	受信ベースバンドI信号 (Positive)		I信号
	RXBOUTIY	受信ベースバンドI信号 (Negative)		
	RXBOUTQX	受信ベースバンドQ信号 (Positive)		Q信号
	RXBOUTQY	受信ベースバンドQ信号 (Negative)		
制御信号	AGCGAIN[3]	AGCゲイン設定値入力, MSB	(図11参照)	ゲイン設定値 時分割 データTD
	AGCGAIN[2]	AGCゲイン設定値入力		
	AGCGAIN[1]	AGCゲイン設定値入力		
	AGCGAIN[0]	AGCゲイン設定値入力, LSB		
	WAIT	AGCゲイン設定値ラッチタイミング & DC Offset 整定制御		DCオフセットキャンセル 制御/ゲインデータラッチ 兼用信号KS
	MODE[2]	動作、省電力モード設定入力	(表2-1)参照	モード制御信号MC
	MODE[1]			
	MODE[0]			
	LE	3-wire interface, ロードイネーブル	(表2-2)参照 (図15参照)	
	SDATA	3-wire interface, シリアルデータ		
	SCLK	3-wire interface, シリアルクロック		
送信信号	REFCLK	20MHz基準クロック入力		基準クロックSCLK
	TXBBINIX	送信ベースバンドI信号 (Positive)		I信号
	TXBBINIY	送信ベースバンドI信号 (Negative)		
	TXBBINQX	送信ベースバンドQ信号 (Positive)		Q信号
	TXBBINQY	送信ベースバンドQ信号 (Negative)		

【図 1 3】

図 13

Bit			Description		
MODE[2]	MODE[1]	MODE[0]	Mode	Status	Power-on Block
0	0	0	Idle	最も省電力	—
0	0	1	Pre-Heat	BGR回路のみON	
0	1	0	Warm-Up	BGR-Synthesizer 動作	
0	1	1	TX-Cal	送信部キャリブ レーション	
0	0	0	RX-Cal	受信部キャリブ レーション	
1	0	1	RX	受信動作	
1	1	0	TX	送信動作	
1	1	1	TBD	TBD	TBD

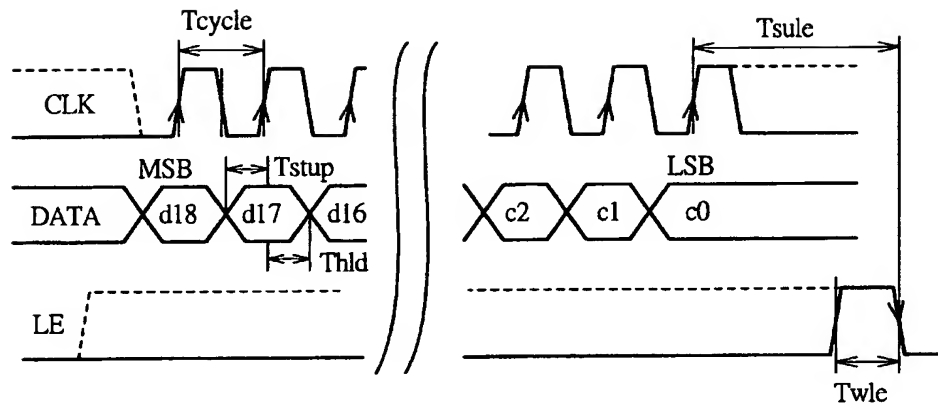
【図 1 4】

図 14

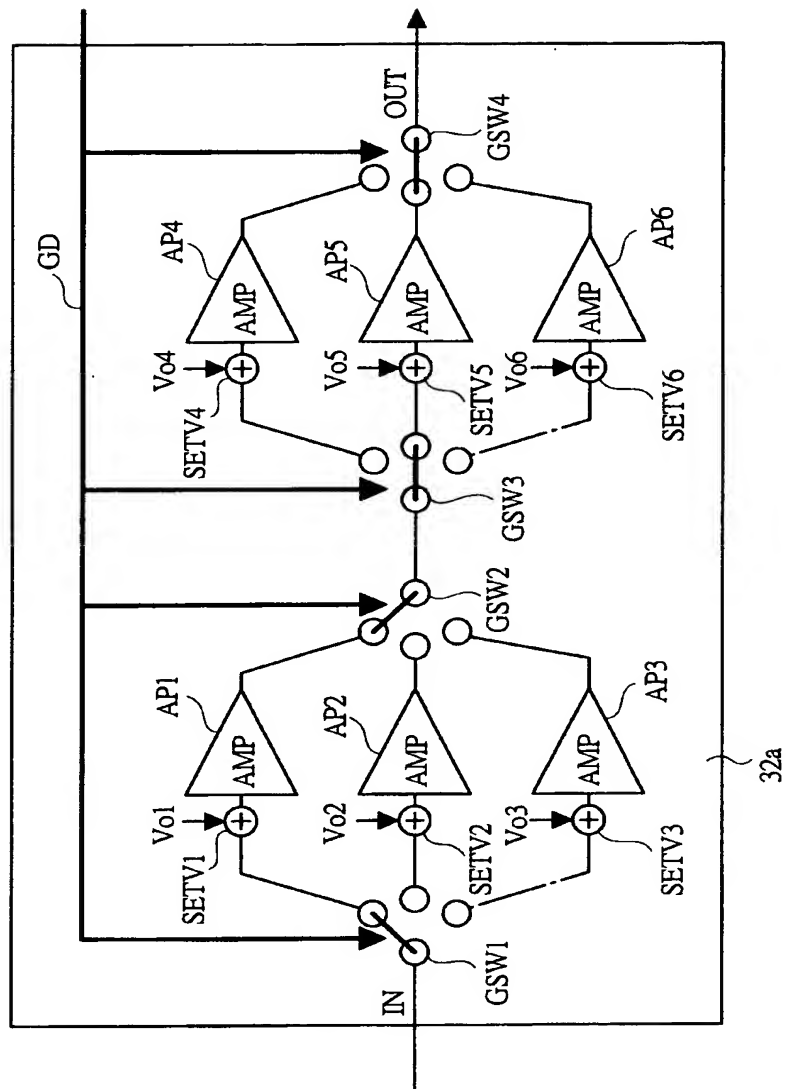
Register	Serial Bits								
	Word #								
	LSB	2	3	4	5	6	7	8	MSB
Test	0	0	T0	T1	T2	T3	T4	T5	T6
Synth Ch	0	1	SR	C0	C1	C2	C3	C4	C5
TX Power	1	0	P0	P1	P2	P3	Don't Care		
(TBD)	1	1	(TBD)						

【図 1 5】

図 15

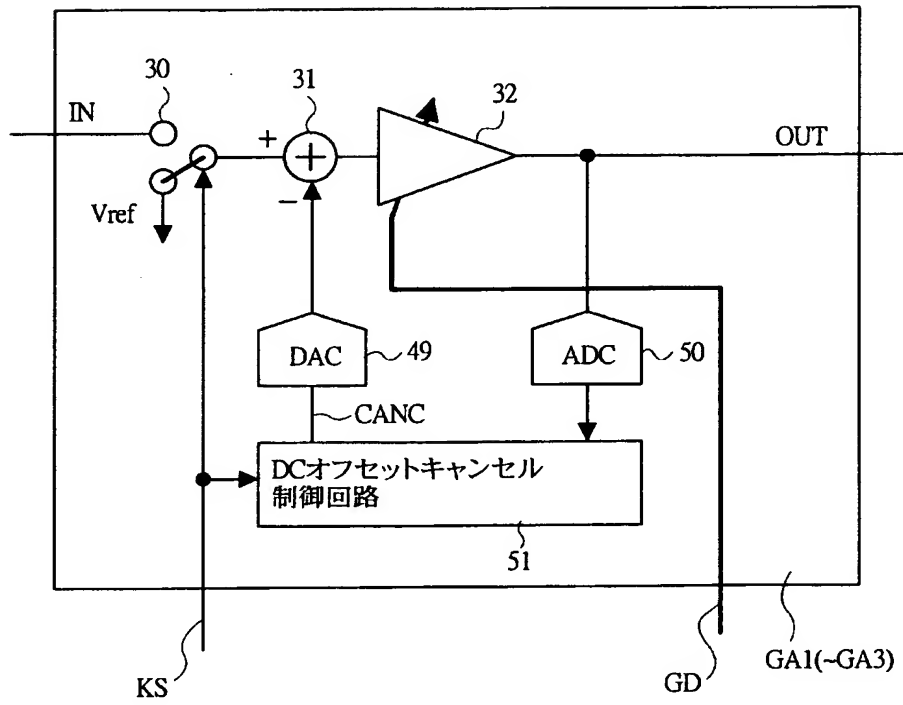


【図 16】



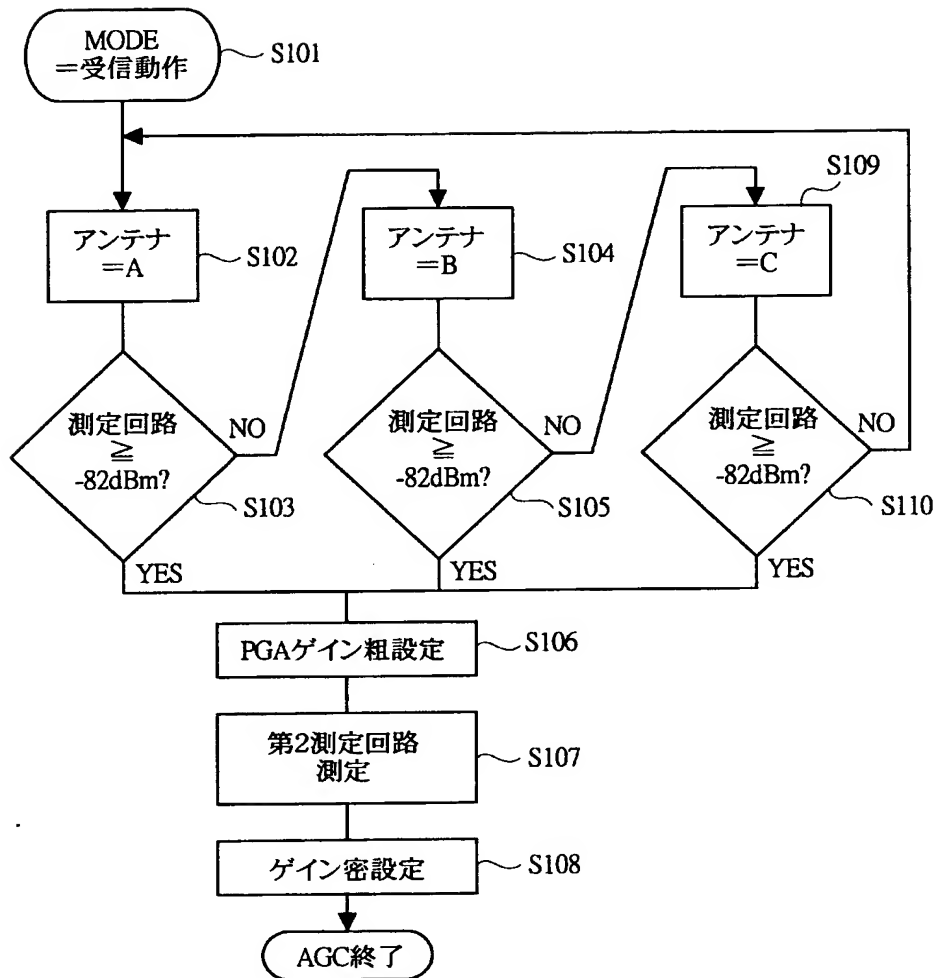
【図 1 7】

図 17

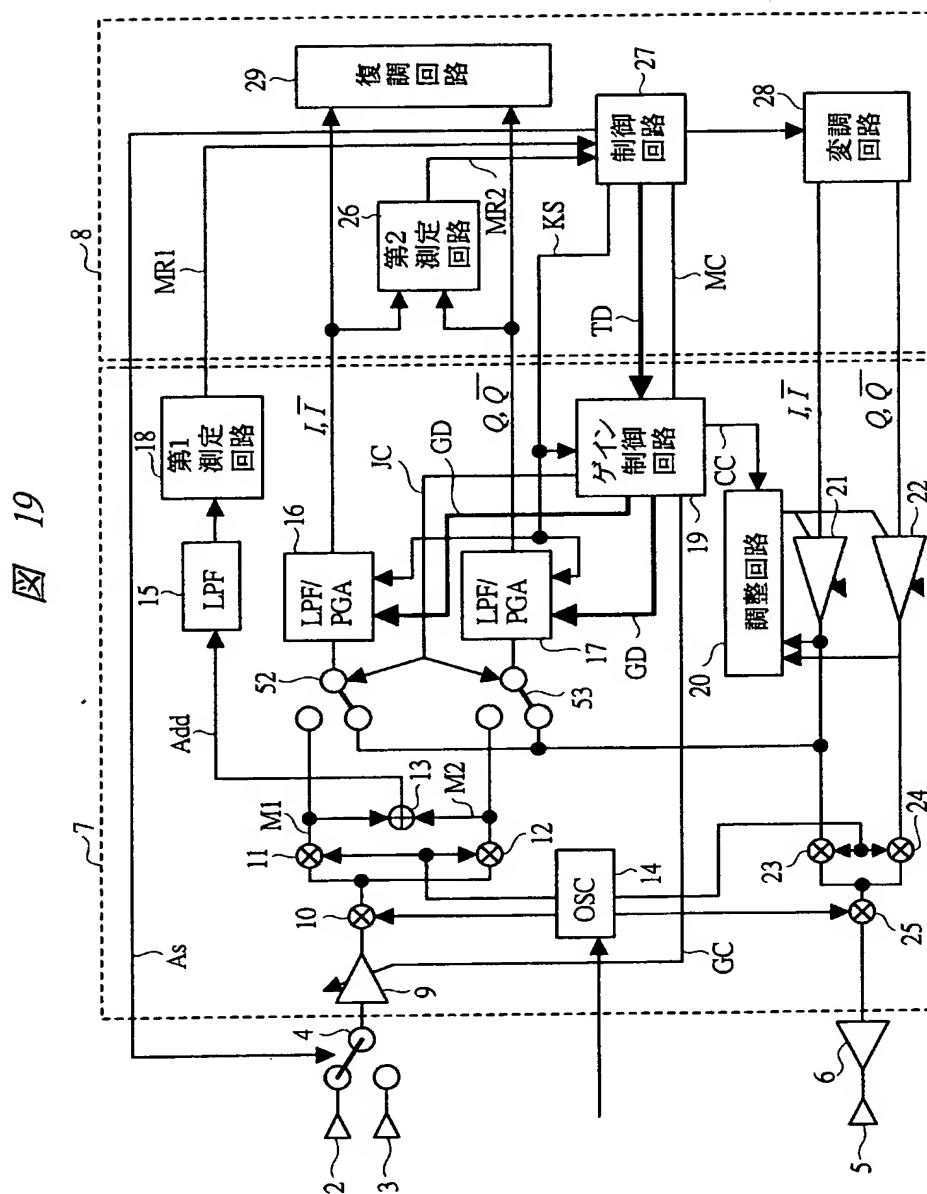


【図 1 8】

図 18

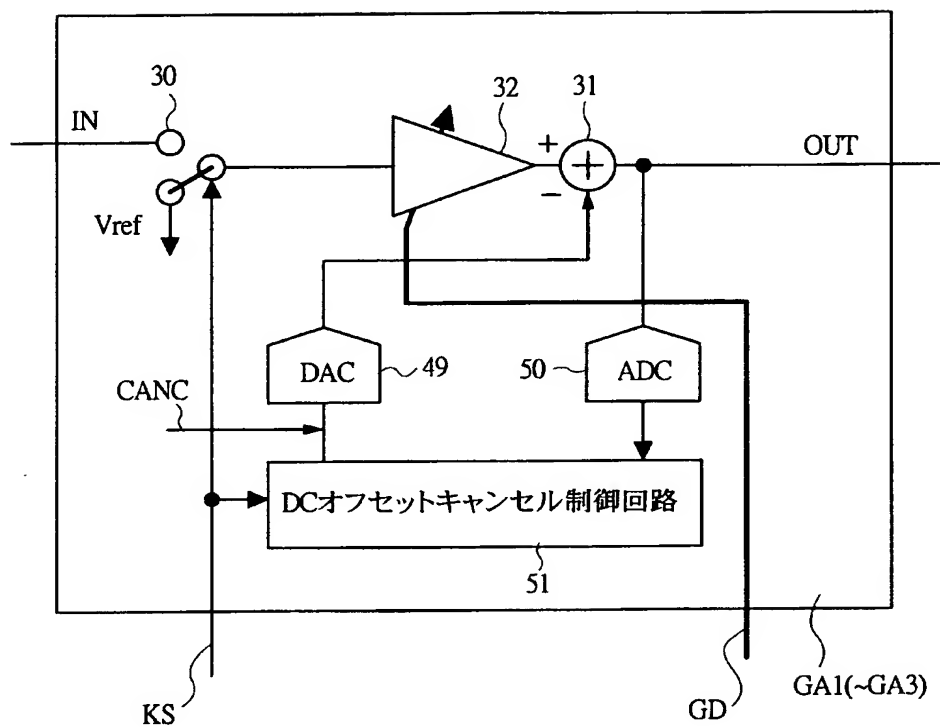


【図 19】



【図 2 0】

図 20





【書類名】 要約書

【要約】

【課題】 ベースバンド処理部に負担をかけることなく、オートゲインコントロール処理を短時間で、かつ高精度に行う。

【解決手段】 無線LANシステム1が受信状態になると、ゲイン制御回路19は受信アンテナ2, 3を交互に切り換える。ある受信感度を超える信号を受信すると、ゲイン制御回路19は、第1測定回路18が測定した受信レベルに応じてゲイン設定値時分割データTDを設定し、LNA9のゲイン設定値、およびLPF/PGA16, 17の前段に設けられた2つのプログラマブルゲインアンプのゲイン粗制御を行う。そして、DCオフセットをキャンセルし、第2測定回路26が信号レベルを測定し、その信号レベルに応じてゲイン設定値時分割データTDを設定してLPF/PGA16, 17の後段に設けられたプログラマブルゲインアンプのゲインを高精度に設定し、オートゲインコントロール処理を終了する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[ 変更理由 ] 新規登録

住 所 東京都千代田区神田駿河台 4 丁目 6 番地

氏 名 株式会社日立製作所